Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

Introducing a new CMOS-MTJ architecture for fast and highly low power 4:2 approximate compressors: insights into their applications in image processing

Farahnaz Zakerian [1*]

[1] Department of Electrical Engineering, Yazd Branch, Islamic Azad University, Yazd, Iran
farahnaz.zakerian@iau.ac.ir

Abstract: The performance of digital signal processors (DSPs) can be improved by introducing some acceptable errors, such as the inaccuracy of hardware computational blocks. In fault-tolerant signal and image processing, approximation multipliers are used. These programs are superior in speed and energy efficiency but sacrifice accuracy. In this paper, we focus on the design of a 4:2 approximation compressor, which is at the heart of the inexact multipliers. This study proposes a concept for an approximation multiplier that uses an MTJ-based 4:2 approximation compressor to reduce hardware and power consumption compared to current designs. Using 180 nm CMOS technology and a novel adiabatic MTJ/CMOS hybrid structure, a method is proposed to create compressor circuits with a 4:2 approximation compressor. The evaluation findings in the above-mentioned technology show a significant improvement in the proposed system. The compressor performance was simulated in ADS and calculated in terms of delay, power and power delay product (PDP) with values of 969.53 µj, 067.41 ps and 216.2 fsj, respectively. When multiplying images in MATLAB, the proposed compressor is used to simulate an 8×8 multiplier. The MSSIM and PSNR are competitive with values of 26.79 and 15.52, respectively, which is comparable to more complex approximation coefficients.

Keywords: Approximate multiplier, MATLAB, 4:2 compressor, Adiabatic MTJ/CMOS hybrid structure, ADS.

JCDSA, Vol. 2, No. 4, Winter 2025	Online ISSN: 2981-1295	Journal Homepage: https://sanad.iau.ir/en/Journal/jcdsa
Received: 2024-09-02	Accepted: 2025-01-07	Published: 2025-03-20

CITATION

Zakerian, F., *"Introducing a new CMOS-MTJ architecture for fast and highly low power 4:2 approximate compressors: insights into their applications in image processing"*, Journal of Circuits, Data and Systems Analysis (JCDSA), Vol. 2, No. 4, pp. 1-13, 2025.
DOI: 00.00000/0000

COPYRIGHTS

©2024 by the authors. Published by the Islamic Azad University Shiraz Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0)
https://creativecommons.org/licenses/by/4.0

* Corresponding author

Extended Abstract

1- Introduction

Utilizing unconventional CMOS devices and new nanotechnology is one method for minimizing leakage power in low-power electronics design. Low-power applications can benefit greatly from the usage of some developing technologies. The non-volatile memory known as magnetic tunnel junction (MTJ) provides a fast access time, a small footprint, and is compatible with CMOS technology. Thus, it is well-suited for implementations in in-memory logic systems. Since MTJ-based LiM structures have nearly negligible quiescent power dissipation, they are ideally suited for low power systems. Because of their high performance, digital signal processors (DSPs) provide excellent computing platforms for handling multimedia.

Multiplier circuits are commonly employed in the image processing industry. To improve the circuit's efficiency and shorten the critical route delay, compressors are employed for summing. Since more efficient multipliers require faster compressors, this necessitates lowering their power requirements. To improve performance while decreasing power consumption, 4:2 and 5:2 compressors are commonly utilized in modern multiplier designs.

In this study, we introduce a new logical design for an approximate 4:2 compressor and use it to develop an approximate multiplier. To do this, cutting-edge hybrid adiabatic compressors are incorporated into the multiplier circuit. Current-mode logic circuit design significantly decreases the time it takes for an output to be generated. Therefore, the performance of the multiplier circuit can be greatly enhanced by designing the central section, which comprises of compressors, in MTJ/CMOS technology.

2- Methodology

A broad variety of silicon FET (MOSFET or FinFET) based compressors are built on the same two essential logic blocks, regardless of whether they are designed for precision or non-precision 4:2 compressors. In this work, 4:2 compressor in CMOS-MTJ technology was proposed using the adibatback logic design. Therefore, the truth table of the approximation mode and the magnitude of the approximation error are described first to introduce the design of the 4:2 approximation compressors. Next, the logical circuit structure of the approximation compressor is shown and its circuit function is introduced at the gate level. Adibatback logic in CMOS-MTJ technology is used to create and design the approximation models described in this article at the transistor level. Through simulation in ADS, it is ensured that base gates and non-precision compressors operate correctly. Following the compressor architectural design, this part explains the approximate multiplier architecture that was employed to test the suggested approximation compressor. While the outputs of this multiplier architecture have an acceptable accuracy when compared to the exact multiplier, it should be noted that all of the 4:2 compressor components utilized in this article's proposed multiplier are approximate.

3- Results and discussion

All of the suggested compressors are built on 180 nm CMOS-MTJ technology, run at 1 GHz, and require only 0.9 v of bias voltage. Transistor count, latency, power, and PDP metrics are all examples of operational efficiency metrics that can be used to analyze the quality of the proposed hardware architecture. Less transistors means a more compact design. Latency is the amount of time it takes for a design to carry out its intended function; it is used to gauge the highest possible running speed of a circuit and to broach topics like power consumption. For a wide variety of equivalent accuracy, the parameters of the design, such as the number of transistors, latency, and power consumption, should be optimized. In the architecture of compressor designs, a design with less error has been considered. Compressors are typically designed with the assumption that all input states have an equal chance of occurring. The total number of errors, the total number of transistors, power consumption, delay and the Power-Delay Product (PDP) delay of the proposed approximate current mode compressors are reported. In comparison to previous approximate compressors in current mode articles, the suggested approximate compressor performs better, as evidenced by the table, in terms of power and delay, transistor count, and error count. We have used the ADS2009 simulator to evaluate the suggested approximation multiplier circuits.

4- Conclusion

This study proposes a novel, remarkably simple 4:2 approximation compressor architecture. In accordance with different applications, it uses a revolutionary MTJ/CMOS adiabatic structure-based design to minimize power consumption problems. With a specified error rate, the suggested system exhibits an acceptable accuracy. Thus, the suggested technique has a favorable error rate and greatly improves both MED and MRED. This compressor, which has minimized hardware complexity, latency, and power consumption with flexibility in accuracy criteria, was also suggested in the paper for a multiplication operation. Utilizing ADS simulator, this adiabatic architecture was planned and built at the transistor level utilizing MTJ/CMOS technology at 180 nm. Using MATLAB, the suggested structures' potential for usage in error-tolerant applications like image processing was examined. Findings from the study indicate that, when compared to previous efforts, the suggested multiplier performs satisfactorily for picture multiplication in terms of accuracy, speed, and power consumption. Our goal is to supply multipliers in the future using differential current mode architecture and 5:2 compressors with MTJ technology. We will also assess the multiplier's performance and ensure that applications continue to process data accurately.

Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

معرفی یک معماری جدید CMOS-MTJ برای کمپرسورهای تقریبی ٤:٢ سریع و کم‌توان: بررسی کاربردهای آنها در پردازش تصویر

فرحناز ذاکریان*[1]

۱- گروه مهندسی برق، واحد یزد، دانشگاه آزاد اسلامی، یزد، ایران (farahnaz.zakerian@iau.ac.ir)

چکیده: عملکرد پردازنده‌های سیگنال دیجیتال را می‌توان با اعمال برخی خطاهای قابل قبول، مانند عدم دقت بلوک‌های محاسباتی سخت‌افزاری، بهبود بخشید. در پردازش سیگنال و تصویر مقاوم به خطا، از ضریب‌های تقریبی استفاده می‌شود. این برنامه‌ها در سرعت و بهره‌وری انرژی برتر هستند اما دقت را قربانی می‌کنند. در این مقاله، ما بر روی طراحی یک کمپرسور تقریبی ۴:۲ تمرکز می‌کنیم که در قلب ضرب‌های غیردقیق قرار دارد. این مطالعه مفهومی را برای یک ضریب تقریبی پیشنهاد می‌کند که از یک کمپرسور تقریبی ۴:۲ بر اساس MTJ به منظور کاهش سخت‌افزار و مصرف برق استفاده می‌کند. با استفاده از فناوری CMOS ۱۸۰ نانومتری و ساختار هیبریدی MTJ/CMOS آدیاباتیک جدید، روشی برای ایجاد مدارهای کمپرسور با کمپرسور تقریبی ۴:۲ پیشنهاد شده است. یافته‌های ارزیابی در فناوری ذکر شده در بالا، بهبود قابل توجهی را در سیستم پیشنهادی نشان می‌دهد. عملکرد کمپرسور در ADS شبیه‌سازی شد و از نظر تاخیر، توان و محصول تاخیر توان با مقادیر ۵۳/۹۶۹ µj و ps۴۱/۰۶۷ و ۲/۲۱۶ fsj به ترتیب محاسبه شد. هنگام ضرب تصاویر در متلب، از کمپرسور پیشنهادی برای شبیه‌سازی یک ضرب‌کننده ۸×۸ استفاده می‌شود. شاخص‌های MSSIM و PSNR با مقادیر ۷۹/۲۶و ۵۲/۱۵ این ضریب با ضریب‌های تقریبی پیچیده‌تر قابل رقابت هستند.

واژه های کلیدی: ضرب‌کننده تقریبی، متلب، کمپرسور ۴:۲، ساختار هیبریدی آدیاباتیک MTJ/CMOS، ADS

نوع مقاله: پژوهشی

تاریخ ارسال مقاله: ۱۴۰۳/۰۶/۱۲ تاریخ پذیرش مقاله: ۱۴۰۳/۱۰/۱۸ تاریخ چاپ مقاله: ۱۴۰۳/۱۲/۳۱

DOI: 00.00000/0000

۱- مقدمه

دقت و قابلیت اطمینان بالا از ویژگی‌های مهم در صنعت نیمه‌هادی است که علاوه بر کارایی در عملکرد و توان مصرفی، در طراحی سازه‌های محاسباتی نقش دارد [۱]. بلوک‌های حسابی دیجیتال تعبیه شده در این دستگاه‌ها نیز از حقایق ذکر شده در بالا مستثنی نیستند. با این حال، بسیاری از برنامه‌ها همچنان اشتباه یا عدم دقت را در محاسبات خود حفظ می‌کنند؛ حتی اگر نتایج قابل استفاده باشند. کاربردهای چندرسانه‌ای مانند پردازش تصویر، نمونه‌هایی از یک مورد مناسب برای استفاده از الگوریتم‌ها و ساختارهای غیردقیق هستند [۲].

در دهه گذشته، دستگاه‌های اینترنت اشیا، وسایل الکترونیکی قابل حمل مانند گوشی‌های هوشمند، تبلت‌ها و حسگرها به طور چشمگیری افزایش یافته است. اکثر این دستگاه ها با باتری کار می‌کنند و بنابراین مصرف انرژی (عمر باتری) به یک محدودیت طراحی حیاتی تبدیل شده است. بنابراین، محققان به دنبال کشف روش‌های جدیدی برای طراحی الکترونیک کم‌مصرف شدند [۳]. روشی برای طراحی الکترونیک کم‌مصرف که مصرف برق نشتی را کاهش می‌دهد، استفاده از دستگاه‌های CMOS[2] غیر متعارف و استفاده از فناوری‌های نوظهور نانو است. برخی از فناوری‌های نوظهور جدید برای استفاده در کاربردهای کم‌توان بسیار مناسب هستند [۴]. روش دیگر برای کاهش مصرف برق دینامیکی، بازیابی انرژی ذخیره شده در خازن بار به جای اتلاف آن به صورت گرما است. این رویکرد که بر اساس بازیافت انرژی عمل می‌کند، به عنوان طراحی مدار آدیاباتیک (برگشت‌پذیر) شناخته می‌شود [۵]. علاوه بر این، معماری‌های بسیار کم‌توان را می‌توان با پارادایم منطق در حافظه (LiM)[3] تحقق بخشید، جایی که عناصر حافظه بر روی مدارهای منطقی توزیع می‌شوند [۶]. اتصال تونل مغناطیسی (MTJ)[4] یک حافظه غیر فرار است که زمان دسترسی کوتاه، ابعاد کوچک و سازگار با فناوری CMOS دارد [۷]. بنابراین، برای استفاده در معماری‌های منطق در حافظه بسیار مناسب است.

* فرحناز ذاکریان

[2] complementary metal-oxide semiconductor (CMOS)
[3] Logic-in-Memory
[4] magnetic tunnel junction

سازه‌های LiM با استفاده از MTJ برای طراحی‌های کم‌توان بسیار مناسب هستند، زیرا اتلاف توان ساکن در این مدارها تقریباً صفر است.

پردازش چندرسانه‌ای سهم عمده‌ای از فرآیندهای کلی در دستگاه‌های الکترونیکی قابل حمل را به خود اختصاص می‌دهد. استفاده از روش‌های محاسباتی نادقیق در چنین برنامه‌هایی مزایایی را به همراه دارد، از جمله کاهش پیچیدگی سخت‌افزار، کاهش اتلاف توان و همچنین افزایش عملکرد [۸]. پردازنده‌های سیگنال دیجیتال (DSP)[1] به دلیل عملکرد برتر، پلتفرم‌های محاسباتی درخشانی را برای پردازش چند رسانه‌ای ارائه می‌کنند. یک مدار پرکاربرد در بخش پردازش تصویر استفاده از مدارات ضرب‌کننده می‌باشد. برای یک ضرب‌کننده n×n، در بخش کاهش رقم نقلی، رقم‌های نقلی تولید شده در بخش تولید رقم نقلی را به دو رقم کاهش می‌دهد. این امر عمدتا با پیاده‌سازی چند مرحله‌ای بخش کاهش رقم نقلی که در آن از جمع‌کننده با ذخیره رقم نقلی[2] به صورت آرایه‌ای از جمع‌کننده‌ها و یا از کمپرسورها استفاده شده، صورت می‌پذیرد [۹]. کمپرسورها برای انجام عمل جمع مورد استفاده قرار می‌گیرند که باعث می‌شود تاخیر مسیر بحرانی را نیز کاهش داده و کارایی کلی مدار را نیز افزایش دهند [۱۰]. در نتیجه افزایش سرعت کمپرسورها و کاهش توان مصرفی آنها برای دستیابی به ضرب‌کننده‌ها با کارایی بالاتر ضرروی است. امروزه برای طراحی ضرب‌کننده‌ها با سرعت بالا، کمپرسورهای ۴:۲ و ۵:۲ به طور گسترده برای افزایش سرعت و کاهش توان به کار می‌روند [۱۱].

در این مقاله، ما همچنین یک مدار جدید برای طراحی کمپرسور ۴:۲ غیردقیق معرفی می‌کنیم. ایده اساسی در پشت این تحقیق، اتخاذ بیان منطقی ساده‌تر با توجه به ویژگی‌های VLSI تحت فناوری CMOS-MTJ است. طراحی پیشنهادی باعث صرفه‌جویی قابل توجهی از نظر اشغال منطقه، اتلاف توان و همچنین تاخیر انتشار در فناوری هدف می‌شود. در این مقاله یک ضرب‌کننده تقریبی بر اساس طراحی منطقی جدید کمپرسور ۴:۲ تقریبی پیشنهادی ارائه شده است. در این روش برای افزایش سرعت مدار ضرب‌کننده از کمپرسورهای با ساختار هیبریدی آدیاباتیک جدید استفاده شده است. طراحی مدارات منطقی در مد جریان به کاهش بسیار خوب تاخیر در خروجی می‌انجامد. بنابراین طراحی بخش اصلی مدار ضرب‌کننده که از کمپرسورها تشکیل شده است در فناوری MTJ/CMOS کمک قابل توجهی به بهبود عملکرد مدار ضرب‌کننده خواهد کرد. در این کار، برای طراحی منطق کمپرسور پیشنهادی از خانواده مدارهای آدیاباتیک غیرفرار مبتنی بر Spin-MTJ را بر اساس [۱۲] استفاده می‌کنیم. همچنین در این کار با ارائه یک معماری جدید برای ایجاد ضرب تقریبی ۸×۸ دادب با کمپروسورهای ۴:۲ یک راهکار کاهش‌دهنده برای سخت‌افزار مداری ایجاد کرده‌ایم. سهم اصلی این مقاله در طراحی ضرب‌کننده پیشنهادی به شرح ذیل است:

- بهره‌مندی از ویژگی تغییر ولتاژ آستانه در فناوری نانو لوله کربنی، برای طراحی ماژول‌های کمپرسور تقریبی ۴:۲ و بازیابی جریان‌های تضعیف شده در مد جریان.
- با توجه به اهمیت حاشیه نویز در کاربردهای مقاوم در برابر خطا و با بهره‌گیری از ویژگی بالا بودن حاشیه نویز، از کمپرسور ۴:۲ در طراحی ضرب‌کننده تقریبی با دقت بالاتر استفاده می‌شود.
- طرحی کمپرسورهای تقریبی با کمترین خطا در مد جریان برای افزایش دقت ضرب‌کننده تقریبی پیشنهادی.
- ایجاد یک استراتژی ضرب جدید و مقایسه طرح برای یک کاربرد تصویرسازی از لحاظ کیفیت در نرم‌افزار متلب با سایر کارها.
- بررسی طراحی کمپروسور پیشنهادی از لحاظ توان مصرفی و سرعت و تعداد ترانزیستورهای حاصل از آنها.
- بقیه این مقاله به شرح زیر سازماندهی شده است. در بخش ۲، بررسی آثار مرتبط انجام شده است و برخی مفاهیم اولیه معرفی شده است. در بخش ۳، یک توصیف منطقی از کمپرسور غیردقیق ۴:۲ بر اساس مدل پیشنهادی با ساختار هیبریدی آدیاباتیک ارائه شده است. اجرای VLSI کمپرسور پیشنهادی ۴:۲ نیز برای فن‌آوری MTJ/CMOS به تفصیل آمده است. در بخش ۴، عملکرد کمپرسور پیشنهادی ۴:۲ در مقایسه با آخرین وضعیت موجود ارزیابی شده است. برای این منظور، برای فناوری، معیارهای عملکرد خاص آن در نظر گرفته می‌شود. علاوه بر این، مانند طراحی سازه‌های غیر دقیق، مصالحه بین خطای خروجی و سایر معیارهای عملکرد در نظر گرفته می‌شود. به عنوان یک مطالعه موردی، استفاده از پردازش تصویر بر اساس ضرب‌کننده با کمپرسورهای غیردقیق در نظر گرفته شده است. در نهایت، بخش ۵ مقاله را به پایان می‌رساند.

۲- پیشینه تحقیق

۲-۱- کارهای مرتبط

در سال‌های اخیر، تکنیک‌های اتوماسیون و الگوریتم‌های یادگیری ماشین تقریباً در تمام زمینه‌ها، نقش مهمی را ایفا نموده‌اند. محاسبات تقریبی، که برای دستیابی به عملکرد بالاتر یا تاخیر کمتر و یا مصرف انرژی کمتر، دقت کامل را کاهش می‌دهد، به طور گسترده در برنامه‌های کاربردی مقاوم در برابر خطا مانند چند رسانه‌ای و یادگیری ماشین استفاده می‌شود. در این بخش به مرور کارهای انجام شده برای طراحی کمپرسور و ضرب‌کننده‌های تقریبی پرداخته شد. برای کمپرسورهای دقیق و تقریبی ۵:۲، مرجع [۱۳] کار بر روی طرح‌های ترکیبی کارآمد اتصال تونل مغناطیسی MTJ/FinFET را پیشنهاد می‌کند. طرح‌های پیشنهادی از روش نوشتن اثر اسپین هال (SHE)[3] برای ذخیره اطلاعات در MTJ استفاده می‌کنند، که تا حد زیادی بازده

[1] digital signal processor
[2] Carry save adder
[3] Spin Hall effect

انرژی سوئیچینگ MTJ را در مقایسه با روش استاندارد گشتاور انتقال اسپین[1] افزایش می‌دهد. با استفاده از مدل‌های FinFET 7 نانومتری و عمود بر SHE MTJ، مدارها در HSPICE شبیه‌سازی شده‌اند. هنگامی که با همتایان دقیق خود مقایسه می‌شود، نتایج نشان می‌دهد که سیستم‌های تقریبی پیشنهادی به طور قابل توجهی مصرف انرژی و تعداد دستگاه را بهبود می‌بخشند. طراحی دقیق ۵۱ درصد بهبود در مصرف برق، ۱۶ درصد بهبود در تاخیر خواندن و ۷۰ درصد کاهش در تعداد ترانزیستورها در هنگام استفاده از طرح‌های تقریبی اول و دوم ارائه شده دارد. میزان خطا در کمپرسور طراحی تقریبی دوم بطور قابل ملاحظه‌ای کمتر است (۲۷ در مقابل ۴۸) و پارامترهای عملکرد نیز بهبود یافته‌اند. برنامه‌های پردازش تصویر اغلب از کمپرسورهای نادقیق ۵:۲ به عنوان معیاری برای اندازه‌گیری دقت استفاده می‌کنند. شبیه‌سازی‌های گسترده در متلب تأیید می‌کند که روش پیشنهادی، که تعدادی از معیارهای دقت و کیفیت را در نظر می‌گیرد، طیف گسترده‌ای از قابلیت‌ها را برای کاربردهای پردازش تصویر ارائه می‌دهد.

همانطور که در [۱۴] نشان داده شده است، یک سلول کمپرسور هیبریدی ۴:۲ می‌تواند تنها با استفاده از گیت‌های اکثریت دو طرفه و مالتی‌پلکسرها ساخته شود. ترانزیستورهای اثر میدان نانولوله کربنی (CNFET) برای زنده کردن این مدار استفاده می‌شوند. با توجه به اعداد و ارقام، طرح پیشنهادی با اختلاف ۵۳ درصد از نظر تاخیر و ۳۸ درصد از نظر مصرف انرژی، از بهترین طراحی مرجع بهتر عمل می‌کند. در [۱۵]، یک تکنیک هرس تخمینی برای به تصویر کشیدن مدار کمپرسور ۴:۲ استفاده شده است. کمپرسور پیشنهادی ۴:۲ با کمک یک شبکه عصبی مصنوعی آموزش و آزمایش می‌شود. به طور کلی توافق شده است که بهترین مدار تقریبی یک شبکه عصبی است که به همان سطح از دقت در آموزش و داده‌های آزمایشی دست می‌یابد. جدول صحت کمپرسور تقریب پیشنهادی ۴:۲ برای آموزش یک شبکه عصبی با تکنیک یادگیری ماشین نظارت شده استفاده شده است. با تنها ۱۹ ترانزیستور، کمپرسور پیشنهادی از انرژی کمتری (۰/۲۰۱۵ nJ) و مساحت سیلیکونی (۱۴/۳۶ میکرومتر مربع) نسبت به طرح‌های موجود استفاده می‌کند. در [۱۶]، نویسندگان یک کمپرسور تقریبی ۲-۴ را ارائه می‌دهند که چه خطا مثبت یا منفی باشد، همان نتایج اشتباه را به همراه دارد. هنگام توسعه دو ضریب تقریبی ۸×۸ (UBAM) هم دقت و هم نیاز به توان کمپرسور ۲-۴ برنامه‌ریزی شده در نظر گرفته می‌شود. نتایج تجربی نشان می‌دهد که یکی از تکنیک‌های پیشنهادی محصول تاخیر توان[2] را ۳۹٪ و EDP[3] را ۴۶٪ در مقایسه با ضرب‌کننده‌های تقریبی قبلی کاهش می‌دهد، در حالی که فاصله میانگین خطای نرمال شده[4] کاهش می‌یابد.

در [۱۷]، یک تکنیک جدید مقایسه منطقه، توان و تاخیر کارآمد برای تقریب با استفاده از کمپرسور ۵:۳ پیاده‌سازی شده است. برای کامل کردن ضرب‌های ۸×۸ از این کمپرسور استفاده می‌شود. سپس ضریب‌های موجود با ضریب ۸×۸ پیشنهادی مقایسه می‌شوند. کمپرسور پیشنهادی ۵:۳ در مقایسه با سیستم‌های فعلی ۱۸ درصد تاخیر کمتری ارائه می‌دهد. در [۱۸]، یک کمپرسور تقریبی ارائه شده است که در عین استفاده از فضا، زمان و انرژی کمتر، دقتی معادل معماری‌های معمولی دارد. در مجموع، یک کمپرسور ۵:۲ علاوه بر آنالیز دو کمپرسور ۴:۲ پیشنهاد شده است. هر دو ضرایب دادا ۸×۸ و ۱۶×۱۶ با کمک کمپرسورهای پیشنهادی قابل پیاده‌سازی هستند. برنامه‌های کاربردی مقاوم در برابر خطا مانند صاف کردن تصویر و ضرب تصویر با عمق بیشتری تجزیه و تحلیل می‌شوند، همانطور که طرح برنامه و اجرای طرح نیز تحلیل می‌شوند. دو کمپرسور که هر کدام مزایای منحصر به فرد خود را دارند در مقاله [۱۹] پیشنهاد و تحلیل شده‌اند. طرح‌های پیشنهادی در فناوری CMOS ۴۵ نانومتری پیاده‌سازی شده‌اند و عملکرد آن‌ها از نظر مساحت، تاخیر، توان، محصول تاخیر توان، نرخ خطا[5]، فاصله خطا[6] و تعداد دقیق خروجی (AOC) آزمایش می‌شود. در مقایسه با یک کمپرسور کامل ۴:۲، تقریب ۴:۲ پیشنهادی کاهش ۵۶/۸۰٪ در مساحت، ۵۷/۲۰٪ در مصرف برق و ۷۳/۳۰٪ در تاخیر را نشان می‌دهد. ضریب‌های ۸ بیتی و ۱۶ بیتی را می‌توان با کمک کمپرسورهای پیشنهادی پیاده‌سازی کرد. هنگامی که با ضرب‌های تقریبی پیچیده مقایسه می‌شود، دقت این روش‌ها برابر است.

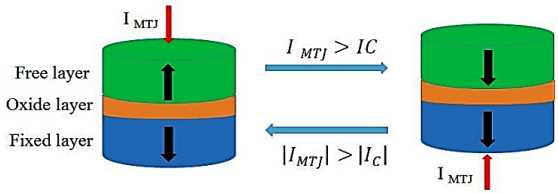
طبق [۲۰]، یک معماری کمپرسور ۵:۲ را می‌توان با تنظیم چند محاسبات داخلی ایجاد کرد. برای داشتن یک کمپرسور پرسرعت، از بلوک جمع‌کننده کامل[7] کارآمد نیز استفاده می‌شود. در [۲۱]، نویسندگان پیشنهاد می‌کنند که یک کمپرسور جدید با نسبت ۲-۴ توسعه داده‌اند. برای استفاده حداکثری از کمپرسور پیشنهادی و کاهش خطای خروجی، یک نسخه اصلاح شده از طرح ضرب‌کننده دادا ارائه شده است. با استفاده از فناوری متداول ۴۵ نانومتری CMOS، راندمان کمپرسور و ضریب پیشنهادی به صورت تجربی آزمایش می‌شود و پارامترهای آن‌ها با ضریب‌های تقریبی پیچیده مقایسه می‌شوند. در مقایسه با ضریب دقیق، ضریب پیشنهادی مصرف برق را تا ۳۵٪ تاخیر را تا ۳۶٪ و مساحت را ۱۷٪ کاهش می‌دهد. ضریب پیشنهادی نتایجی با ۸۵٪ شباهت ساختاری بین تصاویر ورودی و خروجی ایجاد می‌کند.

حال با توجه به مطالعات انجام شده مشاهده شد که تمام تلاش مقالات به ارائه یک تعامل بین مصرف توان و تاخیر و دقت طراحی ضرب برای کاربردهای مختلف است. بنابراین بر خلاف سایر کارهای انجام شده، در این مقاله از تکنیک ساختار هیبریدی آدیلباتیک با فناوری CMOS-MTJ برای طراحی کمپروسور بهره برده‌ایم، تا با کمک تکنیک پیشنهادی ضرب ۸ در ۸ بر اساس کمپرسور ۴:۲ تقریبی پیشنهادی تا حد قابل قبول و کمترین خطا، استفاده شود.

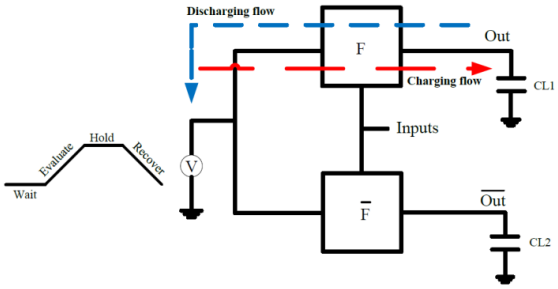
[1] Spin-transfer torque (STT)
[2] power–delay product (PDP)
[3] energy–delay product (PDP)
[4] Normalized mean error distance (NMED)
[5] Error rate (ER)
[6] Error distance (ED)
[7] Full adder (FA)

۲-۲- بررسی مختصر اتصال تونل مغناطیسی MTJ

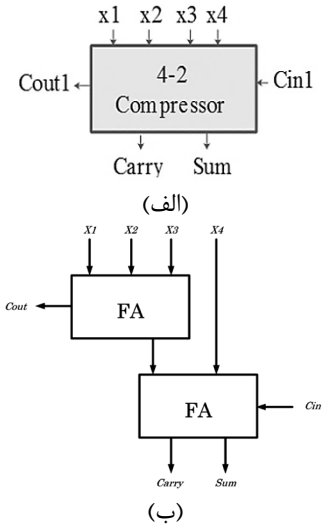
اتصال تونل مغناطیسی (MTJ) از دو لایه فرومغناطیسی[1] (یکی از لایه‌ها ثابت و دیگری آزاد) و یک لایه مانع اکسیدی که بین این دو لایه قرار گرفته است، تشکیل شده است که در شکل (۱) نشان داده شده است. سد اکسیدی توانایی ذخیره داده‌های بیش از ده سال را دارد که با اندازه‌گیری‌های آزمایشی شکست دی‌الکتریک وابسته به زمان[2] تأیید می‌شود [۲۲و۲۳]. دو پیکربندی ممکن (موازی و ضد موازی) را می‌توان با توجه به تراز لایه‌های فرومغناطیسی انجام داد. بر اساس این دو پیکربندی، یک MTJ ویژگی‌های مقاومت کم (RP) یا مقاومت بالا (RAP) را نشان می‌دهد [۲۴]. بنابراین، ما می‌توانیم از این ویژگی‌ها برای پیاده‌سازی طرح‌های پیشنهادی استفاده کنیم.



شکل (۱): ساختار نانو ستونی اتصال تونل مغناطیسی عمودی. حالت‌های از P به AP و بالعکس با اعمال جریان (IMTJ) بالاتر از جریان بحرانی (IC) تغییر می‌کند [۲۲].



شکل (۲): مداری که نشان‌دهنده شارژ/دشارژ آدیاباتیک است[۲۶].



شکل (۳): الف- یک نمونه کمپرسور دقیق ۴:۲. ب- تجزیه منطقی یک نمونه کمپرسور دقیق ۴:۲ [۲۹].

سه روش اصلی برای تغییر پیکربندی MTJ پیشنهاد شده است: سوئیچینگ مغناطیسی القایی میدانی[3]، سوئیچینگ با کمک حرارتی[4] و انتقال گشتاور چرخشی[5]. امیدوارکننده‌ترین روش، انتقال گشتاور چرخشی است که به عنوان جایگزینی برای دو روش دیگر پیشنهاد شده است. انتقال گشتاور چرخشی تنها به یک جریان سوئیچینگ کم دو جهته نیاز دارد. حالت‌های MTJ زمانی تغییر می‌کنند که جریان MTJ (IMTJ) از جریان بحرانی (IC) بیشتر شود (شکل ۱) [۲۵]. سوئیچینگ مغناطیسی القایی میدانی، رویکرد مرسوم برای تغییر حالت‌های MTJ بود. RAP و RP که مبتنی بر اعمال میدان مغناطیسی بودند. این روش به دلیل جریان سوئیچینگ بالا از مصرف برق بالا، گزینش‌پذیری ضعیف و مقیاس‌پذیری ضعیف رنج می‌برد.

۲-۳- منطق آدیاباتیک

منطق آدیاباتیک یکی از تکنیک‌های طراحی مدار کم مصرف به قیمت پایین‌تر بودن سرعت عمل است. شماتیک کلی یک تکنیک آدیاباتیک در شکل (۲) نشان داده شده است. در مدارهای آدیاباتیک، خازن بار توسط یک منبع جریان ثابت شارژ می‌شود برخلاف CMOS معمولی که در آن، ظرفیت بار توسط یک منبع ولتاژ ثابت شارژ می‌شود. منطق آدیاباتیک با استفاده از یک توان AC کلاک شده برای شارژ خازن بار، مصرف برق کلی مدار را کاهش می‌دهد و انرژی را از خازن شارژ شده به روشی آهسته بازیابی می‌کند تا اتلاف توان دینامیکی را حذف کند [۲۶]. انرژی تلف شده را می‌توان بر اساس رابطه زیر محاسبه کرد:

$$E_{diss}=\frac{RC}{T}CV_{DD}^2 \qquad (۱)$$

که C خازن بار، T زمان شارژ خازن و V_{DD} ولتاژ نوسان کامل کلاک قدرت است. مدارهای آدیاباتیک برای اینکه مصرف برق کمتری نسبت به CMOS معمولی داشته باشند، زمان شارژ (T) بیشتر از 2RC دارند.

۲-۴- کمپرسور ۴:۲

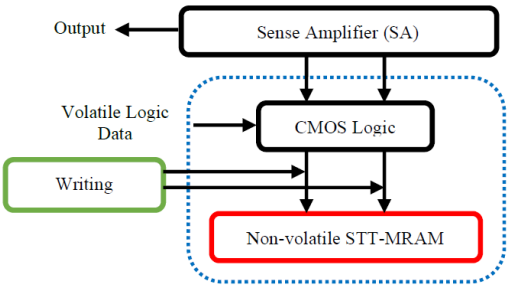
کمپرسور ۴:۲ به طور کلی برای عمل جمع مورد استفاده قرار می‌گیرند. یک کمپرسور ۴:۲ دقیق مطابق شکل (۳-الف) دارای ۵ ورودی و سه خروجی است. چهار ورودی x4, x3, x2, x1 و cin با خروجی Sum هم ارزش هستند [۲۷]. کمپرسور ۴:۲ دقیق یک ورودی از مرحله قبل گرفته معمولا از ماژول‌های مشابه در سطح قبل و یک خروجی با ارزش بالاتر به مرحله بعد می‌دهد. یک کمپرسور ۴ به ۲ را می‌توان با استفاده از اتصال دو جمع‌کننده به صورت سری مطابق شکل (۳-ب) ساخت. معادله (۳) تابع منطقی کمپرسور ۴ به ۲ را نمایش می‌دهد که در آن xi نمایانگر ورودی‌های اصلی جمع‌کننده و ci رقم نقلی است که از مرحله قبل با ارزش کمتر به کمپرسور وارد می‌شود [۲۸].

$$x_1+x_2+x_3+x_4+c_{in}=sum+2.(carry+c_{out}) \qquad (۲)$$

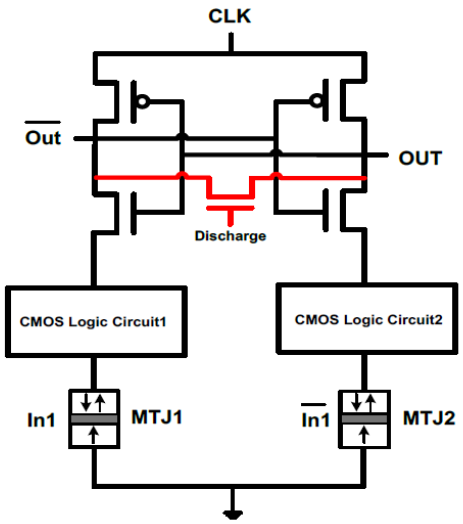
[1] Ferromagnetic layer (FL)
[2] time-dependent dielectric breakdown (TDDB)
[3] Field Induced Magnetic Switching (FIMS)
[4] thermally assisted switching (TAS)
[5] Spin-transfer torque (STT)

۳- طرح‌های پیشنهادی و ارزیابی

صرف نظر از اینکه طراحی‌ها برای کمپرسورهای دقیق یا غیر دقیق ۴:۲ خاص هستند، طیف وسیعی از کمپرسورهای مبتنی بر FET سیلیکونی (MOSFET یا FinFET) بر اساس دو بلوک منطقی مهم هستند. در این کار، با استفاده از طراحی منطق آدیباتیک پیشنهادی، کمپرسور ۴:۲ در فناوری CMOS-MTJ پیشنهاد شد. بنابراین برای معرفی معماری کمپروسور تقریبی ۴:۲ ابتدا جدول درستی حالت تقریبی و اندازه خطای تقریب بیان می‌شود. سپس تابع مداری کمپرسور تقریبی در سطح گیت معرفی و شکل مدار منطقی آن نمایش داده می‌شود. مدل‌های تقریبی تعریف شده در این مقاله با کمک منطق آدیباتیک در فناوری CMOS-MTJ در سطح ترانزیستور تعریف و طراحی می‌شود. اطمینان از صحت عملکرد گیت‌های پایه و کمپرسورهای غیر دقیق با شبیه‌سازی در ADS مورد بررسی قرار می‌گیرد. بعد از طراحی معماری کمپرسور در این بخش، معماری ضرب‌کننده تقریبی مورد استفاده برای آزمایش کمپرسور تقریبی پیشنهادی، تشریح می‌شود. در این مقاله تمام اجزای کمپرسورهای ۴:۲ استفاده شده در ضرب پیشنهادی از نوع تقریبی می‌باشد و مشاهده می‌شود نتایج این معماری ضرب‌کننده از دقت قابل قبولی در مقایسه با ضرب‌کننده دقیق برخوردار می‌باشد.



شکل (۴): ساختار مدار مبتنی بر MTJ



شکل (۵): شماتیک کلی طرح هیبرید آدیاباتیک پیشنهادی MTJ/CMOS. حالت‌های اولیه MTJ و MTJ2 به ترتیب ضد موازی و موازی هستند.

۳-۱- معماری مدارهای آدیاباتیک مبتنی بر MTJ

در این بخش، خانواده مدارهای آدیاباتیک مبتنی بر MTJ را پیشنهاد می‌کنیم. مدارهای مبتنی بر MTJ معمولاً از سه قسمت تشکیل شده‌اند که در شکل (۴) نشان داده شده است. بخش اول یک مدار نوشتاری است که برای برنامه‌ریزی عناصر حافظه استفاده می‌شود. بخش دوم شامل سلول‌های STT-MRAM و درخت منطقی CMOS است که به عنوان یک بلوک کنترل منطقی است. در نهایت، قسمت آخر یک تقویت‌کننده حس است که نتایج منطق خروجی را ارزیابی می‌کند. یک نمای کلی از خانواده مدارهای مبتنی بر MTJ آدیلباتیک پیشنهادی در شکل (۵) است. تفاوت بین مدارهای ارائه شده و مدارهای مبتنی بر MTJ در [۳۰] در ساختار SA است. برای شارژ و دشارژ خروجی‌ها از منبع تغذیه AC کلاک شده استفاده می‌شود که دارای چهار فاز (انتظار، ارزیابی، نگه داشتن و بازیابی) مانند شکل (۲) است. همچنین از ترانزیستور N-MOS برای داشتن شارژ برابر در انتظار فاز استفاده می‌کنیم. بنابراین، هنگامی که مدار در فاز انتظار است، سیگنال درین V_{DD} است. در این مقاله، گیت‌های منطقی مبتنی بر MTJ آدیاباتیک و مدار حسابی یک کمپروسور ۴:۲ ارائه شده‌است.

۳-۲- طراحی کمپرسور تقریبی ۴:۲

در این بخش طراحی کمپرسور تقریبی ۴:۲ با روش مبتنی بر آدیاباتیک پیشنهادی MTJ/CMOS مطرح شده است. طرح‌ها با اعمال تغییراتی در نحوه اتصالات گیت‌ها با کمترین تعداد ترانزیستور و با استفاده از روابط محاسبات پیشنهادی ارائه می‌شود. جدول درستی مدل پیشنهادی کمپروسور تقریبی ۴:۲ تقریبی در جدول (۱) آورده شده است. همانطور که مشاهده می شود در این جدول تنها یک خطا برای مدل دقیق تعریف می‌شود. بر اساس ساده‌سازی جدول درستی با کمک مدل کارنو، دو خروجی کمپروسورهای تقریبی بر اساس (۳-۴) تعریف می‌شود:

$$Sum = (A \text{ or } B)+(C \text{ xor } D); \quad (۳)$$

$$Carry = (A \text{ or } B) \quad (۴)$$

جدول (۲) ساختار کارنو خروجی‌های منطق پیشنهادی را نمایش داده است. در این جدول برای ساده‌سازی مدل دقیق به مدل تقریبی ما بعضی از ارقام را حذف یا اضافه می‌کنیم. در این جدول بلوک‌های سبز رنگ معرف مقادیر حذف شده و بلوک‌های قرمز رنگ موارد اضافه شده به سیستم می‌باشد. اما بلوک زرد همان مقادیر دقیق می‌باشد. شکل (۶) طراحی کمپروسور تقریبی پیشنهادی را در سطح گیت نمایش می‌دهد. در شکل (۷) ساختار مدار نهایی نشان داده شده است. نتایج شبیه‌سازی خروجی مدار را در شکل (۸) می‌توان مشاهده کرد. صحت نتایج شبیه‌سازی کمپرسور براساس جدول (۱) تایید می‌شود. مطابق نتایج شبیه‌سازی بر اساس ورودی‌های مختلف با پالس‌های ولتاژ اعمال شده است. مقدار ولتاژ های خروجی محاسبه شده از اعمال جریانهای sum و carry در شکل (۸) نمایش داده شده است.

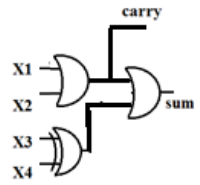
جدول (۱): جدول صحت کمپرسور تقریبی ۴:۲ پیشنهادی

Number	Input				exact		Error	approximate		Error	
	A	B	C	D	S	C0		S	C0		Real
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	1	0	0	1
2	0	0	1	0	1	0	0	1	0	0	1
3	0	0	1	1	0	1	0	0	0	-2	2
4	0	1	0	0	1	0	0	1	1	2	1
5	0	1	0	1	0	1	0	1	1	1	2
6	0	1	1	0	0	1	0	1	1	1	2
7	0	1	1	1	1	1	0	1	1	0	3
8	1	0	0	0	1	0	0	1	1	2	1
9	1	0	0	1	0	1	0	1	1	1	2
A	1	0	1	0	0	1	0	1	1	1	2
B	1	0	1	1	1	1	0	1	1	0	3
C	1	1	0	0	0	1	0	1	1	1	2
D	1	1	0	1	1	1	0	1	1	0	3
E	1	1	1	0	1	1	0	1	1	0	3
F	1	1	1	1	1	1	-1	1	1	-1	4

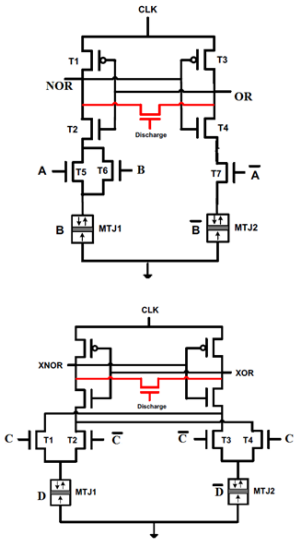
جدول (۲): نمای جدول کارنو برای خروجی‌های کمپروسور ۴:۲

S	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	C	D	F	E
AB'	8	9	B	A

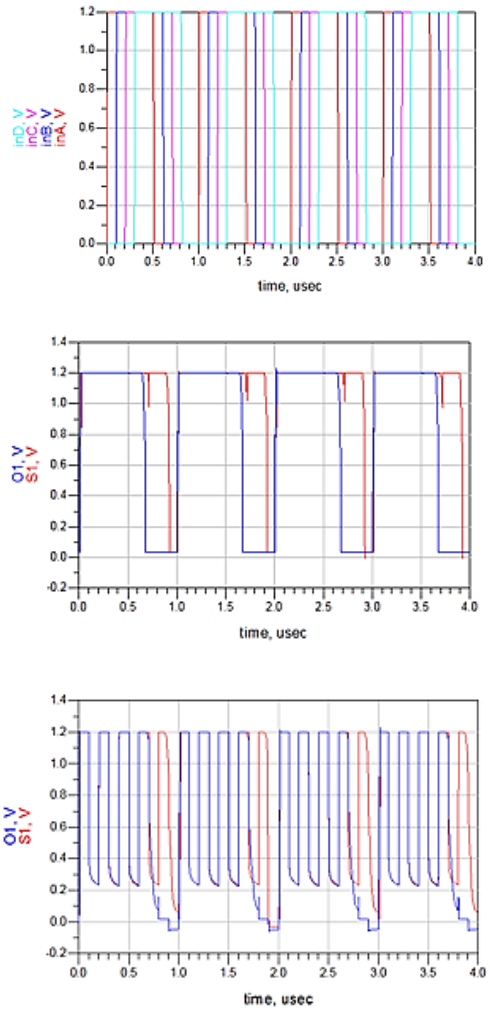
C0	C'D'	C'D	CD	CD'
A'B'	0	1	3	2
A'B	4	5	7	6
AB	C	D	F	E
AB'	8	9	B	A



شکل (۶): کمپرسور تقریبی ۴:۲ پیشنهادی در سطح گیت



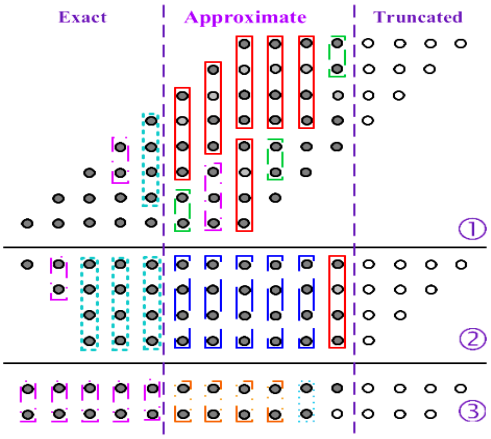
شکل (۷): پیاده‌سازی مداری گیت‌های کمپرسور تقریبی ۴:۲



شکل (۸): نتایج شبیه‌سازی کمپرسور تقریبی ۴:۲ مبتنی بر آدیاباتیک پیشنهادی MTJ/CMOS

۳-۳- مطالعه موردی مربوط به ضرب‌کننده ۸×۸

در ادامه می‌خواهیم از نحوه تأثیرگذاری کمپرسورهای دقیق و تقریبی پیشنهادی در مد جریان با به‌کارگیری آن‌ها جهت طراحی یک مدار ضرب‌کننده تقریبی مد جریان ۸ بیتی دادا، مقایسه‌ای داشته باشیم. ضرب‌کننده تقریبی پیشنهادی، مبتنی بر ضرب‌کننده تقریبی معرفی شده در [۳۱] پیشنهاد شده‌است. در این ضرب‌کننده، به دلیل اهمیت کمتر بیت‌های کم‌ارزش در خروجی، چهار ستون کم‌ارزش برای ساده‌سازی کوتاه شده‌اند. در قسمت میانی، برای تقریبی‌سازی بیشتر، ۶ ستون میانی از کمپرسورهای تقریبی استفاده می‌کنند. در ستون‌های پرارزش، به دلیل تأثیرگذاری زیاد در دقت خروجی، از کمپرسورهای دقیق استفاده شده‌است. شکل (۹) ساختار ضرب‌کننده تقریبی مد جریان نوع دوم را نمایش می‌دهد که شامل سه مرحله می‌باشد. در مرحله اول ما ارائه‌های یک تا هشت بیتی را با کمک سه نیم جمع کننده و دو تمام جمع کننده و هفت کمپروسور ۴:۲ به ارایه های یک تا ۴ بیتی کاهش می‌دهیم. سپس در مرحله دو، ارائه‌های به‌دست آمده با کمک ۱۰ کمپروسور ۴:۲ به دو بیت تقلیل می‌یابد. در مرحله سوم با عملیات تمام جمع کننده ما به مقادیر ضرب نهایی ۸ در ۸ دست می‌یابیم.



شکل (۹): ساختار ضرب‌کننده تقریبی ۸ بیتی دادا نوع دوم [۳۱]

۴- نتایج شبیه‌سازی

۴-۱- معیارهای عملکردی

در این بخش معیارهای مختلف عملکردی که برای اندازه‌گیری میزان کارآیی ضرب‌کننده و کمپرسورهای تقریبی مورد تحلیل قرار گرفته‌اند، معرفی شده است. معیارهای عملکرد می‌توانند به طور گسترده‌ای به معیارهای دقت و معیارهای کارآیی اجرای آن طبقه‌بندی شوند.

۴-۱-۱- معیارهای دقت

معیارهای دقت برای اندازه‌گیری میزان دقت حاصل از ضرب‌های طراحی شده با کمپرسورهای پیشنهادی و کمپرسورهای تقریبی موجود استفاده می‌شود [۳۲].

- فاصله خطا (ED)

ED به تفاوت بین خروجی کمپرسور دقیق ۴:۲ و خروجی کمپرسور تقریبی ۴:۲ اشاره دارد.

$$ED = Exactout - Approxout \quad (۵)$$

- میانگین فاصله خطا (MED)

MED به میانگین ED برای همه ترکیبات ورودی ممکن اشاره دارد.

$$MED = \frac{1}{2^{2N}} \sum_{i=1}^{2^{2N}} |ED_i| \quad (۶)$$

- میانگین فاصله خطای نسبی (MRED)

MRED به میانگین ED برای همه ترکیبات ورودی ممکن اشاره دارد که S مقدار حاصلضرب با کمپرسورهای دقیق است.

$$MRED = \frac{1}{2^{2N}} \sum_{i=1}^{2^{2N}} \frac{|ED_i|}{S_i} \quad (۷)$$

- فاصله خطای عادی (NED)

NED میانگین ED را با حداکثر خطای ممکن در طرح پیشنهادی برای کلیه ترکیبات ورودی ممکن اندازه گیری می‌کند.

$$NED = \frac{MED}{D} = \frac{MED}{(2^N-1)^2} = \frac{1}{(2^N-1)^2} \sum_{i=1}^{2^{2N}} \frac{|ED_i|}{S_i} \quad (۸)$$

- تعداد خروجی دقیق (AOC)

AOC تعداد خروجی‌های دقیق را برای کلیه ترکیبات ورودی ممکن اندازه‌گیری می‌کند.

۴-۱-۲- معیارهای کارآیی اجرایی

کمپرسورهای پیشنهادی با استفاده از فناوری CMOS-MTJ ۱۸۰ نانومتری، در فرکانس عملیاتی ۱ گیگاهرتز و ولتاژ بایاس ۰/۹ اجرا می‌شوند. معیارهای کارآیی اجرایی به خوبی طراحی پیشنهادی سخت‌افزار را بررسی می‌کند و شامل معیار تعداد ترانزیستور و تاخیر و توان و PDP می‌باشد. تعداد ترانزیستور کمتر باعث می‌شود طراحی جمع و جور شود. تأخیر به زمان انجام شده توسط یک طرح برای انجام عملکرد مورد نظر خود اشاره دارد و حداکثر سرعت کار مدار را تعیین می‌کند و توان میزان مصرف انرژی را بحث می‌کند. یک طراحی ایده‌آل باید پارامترهای بهینه‌ای مانند تعداد ترانزیستور، تأخیر و توان را برای طیف وسیعی از دقت قابل مقایسه داشته باشد.

۴-۱-۳- معیارهای عملیاتی کاربردی

ترکیب تصویر ، تشخیص لبه و تیز کردن تصویر به عنوان برنامه‌هایی برای ارزیابی عملکرد ضرب‌های تقریبی و دقیق انتخاب شد. در ترکیب تصویر، دو تصویر ورودی ۸ بیتی توسط پیکسل‌ها در همان مکان ضرب شدند و نتایج به خروجی‌های ۸ بیتی بازگردانده خواهد شد. تصویر خروجی توسط دو تصویر ورودی ترکیب و ادغام شده است. نسبت سیگنال اوج به نویز [1] و میانگین شاخص شباهت ساختاری [2] برای ارزیابی کیفیت تصاویر خروجی استفاده شد[۳۳].

نسبت سیگنال اوج به نویز به شرح زیر محاسبه می‌شود:

$$PSNR = 10\log\left(\frac{MAXI^2}{MSE}\right) \quad (۹)$$

MAX I، حداکثر مقدار در تصویر دقیق، در مقیاس خاکستری ۸ بیتی ۲۵۵ است و اصطلاحات I و K به ترتیب پیکسل‌های تصویر دقیق و تصویر خروجی را نشان می‌دهند. خطای مربع میانگین [3] به شرح زیر تعریف شده است:

$$MSE = \frac{1}{mn} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} [I(i,j)-K(i,j)]^2 \quad (۱۰)$$

خطای مربع میانگین به این بستگی دارد که پیکسل‌های تصویر دقیق و تصویر خروجی چقدر متفاوت است. اگر تصویر دقیق و تصویر خروجی یکسان باشد، خطای مربع میانگین برابر صفر می‌شود.

معیار دیگر در ارزیابی کیفیت یک تصویر، متریک میانگین شاخص تشابه ساختاری است که شباهت بین تصاویر تقریبی و دقیق را پیدا می‌کند و طبق (۱۱) محاسبه می‌شود.

[1] Peak signal-to-noise ratio (PSNR)
[2] Mean structural similarity index measure (MSSIM)
[3] mean squared error (MSE)

$$MSE = \frac{1}{M}\sum_{j=1}^{M} SSIM(Ij\ ,\ Kj) \qquad (۱۱)$$

که در آن محتویات تصـــویر در پنجره محلی jبا Ij و Kj نشـــان داده می‌شـــود. I و K به ترتیب تصـــاویر ضـــرب دقیق و تقریبی را نشـــان می‌دهند. و تعداد کل پنجره‌های محلی برابر با M است.

۴-۲- مقایسه نتایج طراحی ضرب‌کننده و کمپرسورهای تقریبی مد جریان ۵:۲ و ۴:۲

جدول درستی بیت‌های ورودی و خروجی و فاصله خطای کمپرسورهای تقریبی پیشـــنهادی در جدول (۱) نشـــان داده شـــده‌اســـت. در معماری طرح‌های کمپرسور، طرحی مد نظر بوده است که خطای کمتری داشته باشد. معمولا برای طراحی کمپرسورها، احتمال رخداد همه حالت‌های ورودی را بـاهم برابر در نظر می‌گیرنـد. تعـداد کلی خطـا، تعـداد کـل ترانزیســـتورها، توان مصـــرفی، تاخیر و حاصـــل‌ضـــرب توان در تأخیر کمپرســـورهای تقریبی مد جریان پیشـــنهادی در جدول (۳) گزارش شـــده‌اســـت. در این جدول می‌توان مشـــاهده کرد که کمپرســـور تقریبی پیشـــنهادی از نظر توان و تاخیر و تعداد ترانزیســـتور و تعداد خطا نســـبت به ســـایر کمپرســـورهای تقریبی مقالات مد جریان برتری دارند. ارزیابی مدارهای ضـــرب‌کننده تقریبی مطرح شـــده با اســـتفاده از شـــبیه‌ســـاز ADS2009 صورت گرفته است.

مقایسـه ضـرب‌کننده پیشـنهادی در جدول (۴) ارائه شـده‌اسـت. در این جدول توان مصرفی، تاخیر و PDP ضرب‌کننده پیشنهادی، با سایر مقالات، مقایسـه شـده‌اند. کاهش تعداد کمپرسـورها و معماری پیشـنهاد شـده در این مقاله باعث شـد که این اسـتراتژی از لحاظ توان، تاخیر و PDP بهترین گزینه برای انتخاب کمپرســـور در طراحی ضـــرب‌کننده تلقی شـــود. با توجه به این جدول می‌توان مشـــاهده کرد که به ترتیب استفاده از کمپرسورهای تقریبی و کوتاه‌سازی، دو عامل موثر در کاهش توان مصـرفی ضـرب‌کننده به شـمار می‌روند. کوتاه‌سـازی سـتون‌های کم‌ارزش مهم‌ترین عامل در کاهش توان، تاخیر و انرژی است. از این رو کوتاه‌سازی یکی از اقدامات لازم در جهت بهینگی ضرب‌کننده از لحاظ انرژی و سرعت به‌شمار می‌رود.

از آنجایی که برای کمپرسور تقریبی از کمپرسور مبتنی بر CML اسـتفاده شـده اسـت و معماری پیشـنهادی از تعداد کمپرسـور کمتری تشکیل شده است، ضریب کمترین تاخیر را به دلیل استفاده از مسیر مســـتقیم ایجاد خواهد کرد. ضـــریب پیشـــنهادی کمترین مقدار را در مقایسـه PDP دارد، و آن را در هنگام بررسـی مصـرف انرژی (با در نظر گرفتن توان و تأخیر همزمان) جایگزین مناسـبی برای سـایر ضـرایب‌ها می‌کند. با این حال، کاهش خطا و پیچیدگی سخت افزاری این ضریب وجود دارد. ضـــریب پیشـــنهادی در مثلث ســـازش توان-تاخیر-خطا عملکرد مؤثرتری نسبت به ضریب سایر وظایف نشان می دهد.

۴-۳- کاربرد پردازش تصویر

در این بخش، دو تصویر در متلب با استفاده از نتایج شبیه‌سازی ADS برای طراحی ضربب ۸*۸ استفاده می‌شوند. با ضرب دو عکس پیکسل به پیکســل، ضـرب پیشـنهادی برای ایجاد یک تصـویر جدید اسـتفاده می‌شود. بر اساس ارزیابی کیفیت تصویر، تصویر به دست آمده ارزیابی می‌شود. هنگام ارزیابی کیفیت تصویر باید چند فاکتور را در نظر گرفت که شـامل: PSNR و MSSIM می‌باشـد. PSNR برای ضـرب تقریبی پیشـنهادی شـامل کمپرسـور تقریبی ۴:۲ اسـت که در جدول ۵ نشـان داده شـده و با تحقیقات گذشـته مقایسـه شـده اسـت. جدول ۵ نتایج حاصـل از ضـرب دو تصـویر [۳۵] را از نظر شـاخص‌های خطا گزارش می‌کند. PSNR بالاتر نزدیک به ۵۰ دسی‌بل عملکرد بهتر یک ضرب را نشـان می‌دهد. شـکل ۱۰ یک تصـویر معیار ایجاد شـده توسـط انواع مختلف ضـــرب دقیق و تقریبی دو تصـــویر ماه و فیلمبردار را نشـــان می‌دهد [۳۵].

جدول (۳): مقایسه عملکرد کمپرسورهای تقریبی ۴:۲ شبیه‌سازی شده از نظر توان، تاخیر، تعداد خطا، تعداد ترانزیستور و PDP

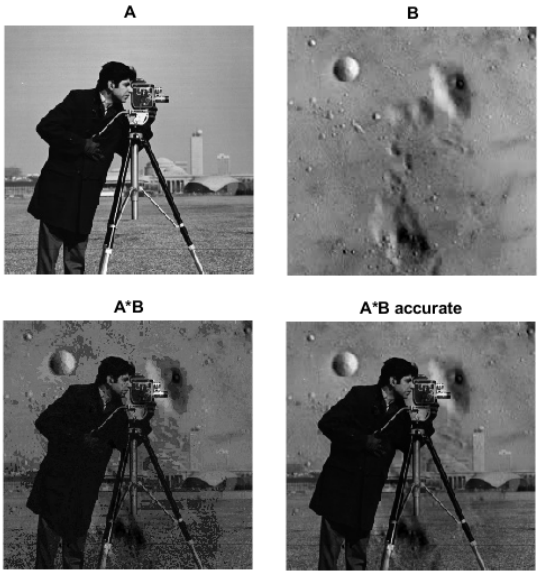
کمپرسورهای پیشنهادی	توان (µW)	حداکثر تاخیر (ps)	تعداد کل ترانزی ستور	تعداد خطا	PDP (ns× µW)
کمپرسور ۴:۲	۰/۱۷۴	۲۷۵	24 T + 6 MTJ	۹/۱۶	/۰۴۷۸۵
[۱۴]	۱۳/۷۷	۳۱/۰۳	۵۰	--	/۴۴۳۹۷
[۳۸]	۵۳/۹۶۹	۴۱/۰۶۷	۳۹	۳/۱۶	۱/۳۱۴۲

جدول (۴): مقایسه ضرب‌کننده‌های تقریبی پیشنهادی مد جریان ۸ بیتی دادا با معماری پیش رو

ضرب‌کننده	توان (µW)	حداکثر تاخیر (ns)	PDP (ns× µW)
پیشنهادی	۲/۳۴۲	۰/۲۱۴	۰/۵۰۱۲
[۳۶]	۸/۱	۰/۵۶۵	۴/۵
[۳۷]	۱۰/۰۹	۰/۶۲۵	۶/۳
[۱۹]	۵۱/۱	۰/۳۳	۱۶/۸۳

جدول (۵): مقایسه PSNR و MSSIM برای ضرب‌های مختلف

Ref	MSSIM (%)	PSNR	MED	MRED	NED	AOC
[۳۶]	۶۳	--	۲۸۸۸	۰/۳۰۰۲	۰/۳۰۰۲	۲۳۱۳
[۳۷]	۸۴	۳۶/۱۹	۱۲۴۵	۰/۸۱۰۷	۰/۰۳۸۶	۳۱۳۰
[۱۹]	۸۸	--	۵۷۳/۴	۰/۰۴۸۷	۰/۰۰۲۷	۷۷۸۲
تحقیق موجود	**۷۹/۲۶**	**۵۲۸/۸۱۵**	**۱۶۱۹۴**	**۰/۹۸۷۵**	**۰/۲۴۹**	**۲۱۹۳**



(الف) ضرب‌کننده تقریبی پیشنهادی

(ب) ضرب‌کننده‌های تقریبی مقالات

شکل (۱۰): مقایسه ضرب تصاویر فیلمبردار و ماه با استفاده از ضرب ۸×۸ پیشنهادی با ضرب دقیق و کارهای موجود.

شاخص میانگین شباهت ساختاری بر اساس این واقعیت است که سیستم بینایی انسان بیشترین تطابق را با اطلاعات ساختاری استخراج شده دارد [۳۴]. شاخص شباهت ساختاری بدون در نظر گرفتن میانگین روشنایی و کنتراست، الگوی هر پیکسل را در یک تصویر تشخیص می‌دهد. جدول (۵) همچنین مقادیر میانگین شاخص شباهت ساختاری تصاویر به دست آمده توسط ضرب‌کننده‌های مختلف را برای چندین طرح از مقالات و همچنین طرح‌های پیشنهادی ارائه می‌کند. این جدول نشان می‌دهد که طرح حاضر با میانگین شاخص شباهت ساختاری برابر ۸۶/۴٪ بالاترین مقدار را در میان سایر موارد دارد. از این رو، در کاربردهای کم‌مصرف و سرعت بالا، طرح پیشنهادی به طور کلی قابل قبول‌تر است. ضرب‌کننده [۳۶] دارای کوچکترین PDP و ضرب‌کننده [۱۹] دارای کوچکترین NED است. اما ضرب‌کننده پیشنهادی را می توان برای کاربردهایی که نیاز به دقت و سرعت بالا و توان مصرفی کمی دارند، استفاده کرد. برای صرفه‌جویی در مصرف برق با عملکرد بهتر، این ضرب‌کننده پیشنهاد می‌شود.

۵- نتیجه‌گیری

در این مقاله، یک طراحی جدید کمپرسور نادقیق ۴:۲ با سادگی چشمگیر پیشنهاد شده است. این طرح طراحی مبتنی بر ساختار آدیاباتیک جدید MTJ/CMOS را برای کاهش مسائل مربوط به مصرف انرژی با توجه به کاربردهای مختلف اتخاذ می‌کند. با نرخ خطای مشخص شده، سیستم پیشنهادی دقت قابل قبولی را نشان می‌دهد. بنابراین، تکنیک پیشنهادی دارای نرخ خطای مطلوبی است و MED و MRED را تا حد زیادی بهبود می‌بخشد. این کمپرسور که پیچیدگی سخت‌افزار، تأخیر و توان مصرفی را با انعطاف‌پذیری در معیارهای دقت به حداقل رسانده است، در مقاله برای عملیات ضرب پیشنهاد شده است. با استفاده از شبیه‌ساز ADS، این معماری آدیاباتیک در سطح ترانزیستور با استفاده از فناوری MTJ/CMOS در ۱۸۰ نانومتر طراحی و ساخته شد. لازم به ذکر است که شاخص میانگین شاخص شباهت ساختاری و نسبت سیگنال اوج به نویز به ترتیب با مقادیر ۷۹/۲۶و ۵۲/۱۵ این ضریب با ضریب‌های تقریبی پیچیده‌تر قابل رقابت هستند. با استفاده از متلب، پتانسیل ساختارهای پیشنهادی برای استفاده در برنامه‌های کاربردی مقاوم در برابر خطا مانند پردازش تصویر مورد بررسی قرار گرفت. یافته‌های این مطالعه نشان می‌دهد که در مقایسه با تلاش‌های قبلی، ضریب پیشنهادی برای ضرب تصویر از نظر دقت، سرعت و مصرف توان رضایت‌بخش عمل می‌کند. هدف ما این است که در آینده با استفاده از معماری حالت جریان دیفرانسیل و کمپرسورهای ۵:۲ با فناوری MTJ، ضریب‌های چند برابری عرضه کنیم. ما همچنین عملکرد ضریب را ارزیابی خواهیم کرد و اطمینان حاصل می‌کنیم که برنامه‌ها به پردازش دقیق داده‌ها ادامه می‌دهند.

مراجع

[1] R. Reis, Y. Cao, and G. Wirth, *Circuit design for reliability*: Springer, 2015. https://doi.org/10.1007/978-1-4614-4078-9

[2] S. Mittal, "A survey of techniques for approximate computing," *ACM Computing Surveys (CSUR),* vol. 48, pp. 1-33, 2016. https://doi.org/10.1145/2893356

[3] M. Pedram and J. M. Rabaey, *Power aware design methodologies*: Springer Science & Business Media, 2002. https://doi.org/10.1007/b101914

[4] Y. Zhang, W. Zhao, J.-O. Klein, W. Kang, D. Querlioz, Y. Zhang, *et al.*, "Spintronics for low-power computing," in *2014 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2014, pp. 1-6.

[5] W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzanis, and E. Y.-C. Chou, "Low-power digital systems based on adiabatic-switching principles," *IEEE Transactions on very large scale integration (VLSI) systems,* vol. 2, pp. 398-407, 1994. DOI: 10.1109/92.335009

[6] S. Matsunaga, J. Hayakawa, S. Ikeda, K. Miura, H. Hasegawa, T. Endoh, *et al.*, "Fabrication of a nonvolatile full adder based on logic-in-memory architecture using magnetic tunnel junctions," *Applied Physics Express,* vol. 1, p. 091301, 2008. DOI:10.1143/APEX.1.091301

[7] E. Deng, Y. Zhang, J.-O. Klein, D. Ravelsona, C. Chappert, and W. Zhao, "Low power magnetic full-adder based on spin transfer torque MRAM," *IEEE transactions on magnetics,* vol. 49, pp. 4982-4987, 2013. DOI: 10.1109/TMAG.2013.2245911

[8] S. Venkataramani, S. T. Chakradhar, K. Roy, and A. Raghunathan, "Approximate computing and the quest for computing efficiency," in *Proceedings of the 52nd Annual Design Automation Conference*, 2015, pp. 1-6. https://doi.org/10.1145/2744769.275116

[9] B. K. Mohanty and A. Choubey, "Efficient design for radix-8 booth multiplier and its application in lifting 2-D

area-matched MTJ design," *IEEE Transactions on Circuits and Systems II: Express Briefs,* vol. 63, pp. 678-682, 2016. DOI: 10.1109/TCSII.2016.2532099
[24] B. Behin-Aein, J.-P. Wang, and R. Wiesendanger, "Computing with spins and magnets," *MRS Bulletin,* vol. 39, pp. 696-702, 2014. https://doi.org/10.48550/arXiv.1411.6960
[25] W. Zhao, E. Belhaire, C. Chappert, and P. Mazoyer, "Spin transfer torque (STT)-MRAM--based runtime reconfiguration FPGA circuit," *ACM Transactions on Embedded Computing Systems (TECS),* vol. 9, pp. 1-16, 2009. https://doi.org/10.1145/1596543.1596548
[26] R. K. Yadav, A. K. Rana, S. Chauhan, D. Ranka, and K. Yadav, "Adiabatic technique for energy efficient logic circuits design," in *2011 International Conference on Emerging Trends in Electrical and Computer Technology*, 2011, pp. 776-780. DOI:10.1109/ICETECT.2011.5760223
[27] P. Hasini and T. K. Murthy, "A Novel high-speed transistorized 8x8 Multiplier using 4-2 Compressors," *International Journal of Engineering Research and General Science,* vol. 3, pp. 359-365, 2015.
[28] [H. Qi, Y.-B. Kim, and M. Choi, "A high speed low power modulo 2 n+ 1 multiplier design using carbon-nanotube technology," in *2012 IEEE 55th international midwest symposium on circuits and systems (MWSCAS)*, 2012, pp. 406-409. DOI: 10.1109/MWSCAS.2012.6292043
[29] C.-H. Chang, J. Gu, and M. Zhang, "Ultra low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 51, pp. 1985-1997, 2004. **DOI:** 10.1109/TCSI.2004.835683
[30] E. Deng, Y. Zhang, J.-O. Klein, D. Ravelsona, C. Chappert, and W. Zhao, "Low power magnetic full-adder based on spin transfer torque MRAM," *IEEE transactions on magnetics,* vol. 49, pp. 4982-4987, 2013. **DOI:** 10.1109/TMAG.2013.2245911
[31] F. Sabetzadeh, M. H. Moaiyeri, and M. Ahmadinejad, "A majority-based imprecise multiplier for ultra-efficient approximate image multiplication," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 66, pp. 4200-4208, 2019. DOI: 10.1109/tcsi.2019.2918241
[32] O. Akbari, M. Kamal, A. Afzali-Kusha, and M. Pedram, "Dual-quality 4: 2 compressors for utilizing in dynamic accuracy configurable multipliers," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 25, pp. 1352-1361, 2017. **DOI:** 10.1109/TVLSI.2016.2643003
[33] A. G. M. Strollo, E. Napoli, D. De Caro, N. Petra, and G. Di Meo, "Comparison and extension of approximate 4-2 compressors for low-power approximate multipliers," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 67, pp. 3021-3034, 2020. **DOI:** 10.1109/TCSI.2020.2988353
[34] Z. Wang, A. C. Bovik, H. R. Sheikh, and E. P. Simoncelli, "Image quality assessment: from error visibility to structural similarity," *IEEE transactions on image processing,* vol. 13, pp. 600-612, 2004. **DOI:** 10.1109/TIP.2003.819861
[35] U. SIPI, "The USC-SIPI image database," ed, 2016.
[36] D. Esposito, A. G. M. Strollo, E. Napoli, D. De Caro, and N. Petra, "Approximate multipliers based on new approximate compressors," *IEEE Transactions on Circuits and Systems I: Regular Papers,* vol. 65, pp. 4169-4182, 2018. **DOI:** 10.1109/TCSI.2018.2839266
[37] Y. J. Chang, Y. C. Cheng, Y. F. Lin, S. C. Liao, C. H. Lai, and T. C. Wu, "Imprecise 4-2 compressor design used in image processing applications," *IET Circuits, Devices* DWT," *Circuits, Systems, and Signal Processing,* vol. 36, pp. 1129-1149, 2017. https://doi.org/10.1007/s00034-016-0349-9
[10] S. Tabrizchi, N. Azimi, and N. Keivan, "Design a novel ternary half adder and multiplier based on carbon nano-tube field effect transistors (CNTFETs)," *Frontiers,* vol. 1, pp. 423-433, 2016. https://doi.org/10.1631/FITEE.1500366
[11] P. Aliparast, Z. D. Koozehkanani, and F. Nazari, "An ultra high speed digital 4-2 compressor in 65-nm CMOS," *International Journal of Computer Theory and Engineering,* vol. 5, p. 593, 2013. DOI: 10.7763/IJCTE.2013.V5.756
[12] F. Sharifi, Z. Saifullah, and A.-H. Badawy, "Design of adiabatic MTJ-CMOS hybrid circuits," in *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2017, pp. 715-718. DOI: 10.1109/MWSCAS.2017.8053023
[13] M. Ahmadinejad and M. H. Moaiyeri, "Energy-efficient magnetic 5: 2 compressors based on SHE-assisted hybrid MTJ/FinFET logic," *Journal of Computational Electronics,* vol. 19, pp. 206-221, 2020. DOI: 10.1007/s10825-019-01441-0
[14] M. Maleknejad, S. M. Mirhosseini, and S. Mohammadi, "A CNFET-based PVT-tolerant hybrid majority logic 4: 2 compressor design for high speed energy-efficient applications," *Microprocessors and Microsystems,* p. 104031, 2021. https://doi.org/10.1016/j.micpro.2021.104031
[15] L. Maddisetti, R. K. Senapati, and J. Ravindra, "Accuracy evaluation of a trained neural network by energy efficient approximate 4: 2 compressor," *Computers & Electrical Engineering,* vol. 92, p. 107137, 2021. https://doi.org/10.1016/j.compeleceng.2021.107137
[16] B. Fang, H. Liang, D. Xu, M. Yi, Y. Sheng, C. Jiang, *et al.*, "Approximate multipliers based on a novel unbiased approximate 4-2 compressor," *Integration,* vol. 81, pp. 17-24, 2021. https://doi.org/10.1016/j.vlsi.2021.05.003
[17] M. M. D. Savio, T. Deepa, P. D. Dharshini, K. Sonali, and O. Singh, "Design of High speed Multiplier using Input Scrambled 5-3 compressor for Error Tolerant image processing," in *Journal of Physics: Conference Series*, 2022, p. 012044. DOI: 10.1088/1742-6596/2335/1/012044
[18] R. G. Shankar and D. Ananthi, "Approximate Booth Multipliers using Compressors and Counter," in *2023 International Conference on Inventive Computation Technologies (ICICT)*, 2023, pp. 1658-1662. DOI: 10.1109/ICICT57646.2023.10134198
[19] P. J. Edavoor, S. Raveendran, and A. D. Rahulkar, "Approximate multiplier design using novel dual-stage 4: 2 compressors," *IEEE Access,* vol. 8, pp. 48337-48351, 2020. DOI: 10.1109/ACCESS.2020.2978773
[20] N. Srinivas and Y. R. Rao, "Design of High Speed 5: 2 Compressor for Fast Arithmetic Circuits," *International Journal of Engineering and Advanced Technology (IJEAT),* vol. 6, 2017.
[21] K. M. Reddy, M. Vasantha, Y. N. Kumar, and D. Dwivedi, "Design and analysis of multiplier using approximate 4-2 compressor," *AEU-International Journal of Electronics and Communications,* vol. 107, pp. 89-97, 2019. https://doi.org/10.1016/j.aeue.2019.05.021
[22] J. S. Moodera, L. R. Kinder, T. M. Wong, and R. Meservey, "Large magnetoresistance at room temperature in ferromagnetic thin film tunnel junctions," *Physical review letters,* vol. 74, p. 3273, 1995. https://doi.org/10.1103/PhysRevLett.74.3273
[23] R. Zand, A. Roohi, S. Salehi, and R. F. DeMara, "Scalable adaptive spintronic reconfigurable logic using

& Systems, vol. 13, pp. 848-856, 2019. DOI: 10.1049/iet-cds.2018.5403

[38] M. Sam Daliri, K. Navi, R. Faghih Mirzaee, S. Sam Daliri, and N. Bagherzadeh, "A new approach for designing compressors with a new hardware-friendly mathematical method for multi-input XOR gates," *IET Circuits, Devices & Systems,* vol. 11, pp. 46-57, 2017. https://doi.org/10.1049/iet-cds.2016.0041