JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2025.1993480.1330

Vol. 14/ No. 54/Winter 2025

Research Article

Design and Implementation of a 16-bit Multi-Mode Delta-Sigma Digital-to-Analog Converter with Time-Interleaved Structure, Multi-Channel, and Compensation of Non-Idealities Based on FPGA

Abolfazl Roshanpanah, PhD Student [1] | Pooya Torkzadeh, Assistant Professor [2] | Khosrow Hajsadeghi, Associate professor [3] | Massoud Dousti, Associate professor [4]

[1]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, a.roshanpanah@srbiau.ac.ir

[2]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, p-torkzadeh@srbiau.ac.ir

[3]Department of Electrical Engineering, Sharif University of Technology, Tehran, Iran, ksadeghi@sharif.edu

[4]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, m_dousti@srbiau.ac.ir

Correspondence
Pooya Torkzadeh, Assistant Professor of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, Email: p-torkzadeh@srbiau.ac.ir

Received: 11 March 2024
Revised: 7 April 2024
Accepted: 20 April 2024

Abstract

In this research, a 16-bit multi-mode second-order Delta-Sigma Modulator-Digital-to-Analog Converter (DSM-DAC) with a time-interleaved (TI) structure operating at a center frequency of 4 GHz and a bandwidth of 20 MHz has been implemented using VHDL on an FPGA platform. The proposed architecture utilizes a single clock frequency for generating RF signals. The second-order DSM is reconfigurable, offering three filter modes: LP, BP at Fs/4, and HP for signal synthesis. Since the coefficients remain simple for all modes, multiplication operations can be achieved using a shifter block. To investigate the effect of duty-cycle-error (DCE) and its compensation, various error values are applied to the modulator and compensation is performed. A novel solution is proposed to overcome the DCE by adjusting the filter and unilaterally narrowing the signal passband without adding extra hardware complexity. This approach significantly enhances the SNDR and SFDR of the DSM output, even for the BP mode. Another challenge is the mismatch error in DAC cells. This error is simulated and compensated using two methods: DWA and SDEM. Simulation results in ISE demonstrate that the SNDR values for LP, BP, and HP modes are 106.10, 105.65, and 104.95 dB, respectively.

Keywords: Delta-sigma modulator, Duty-cycle-error, Error-feedback, FPGA, Mismatch, Time-interleaved.

Highlights

- A 16-bit multi-mode digital-to-analog converter with a time-interleaved structure at a frequency of 4 GHz.
- Only one clock frequency is used to generate the radio frequency signal.
- There are simple coefficients for all cases, the multiplication operation can be performed using a shifter block.
- Two dominant errors in TI-DSM-DACs (mismatch and duty-cycle-error (DCE)) have been compensated
- A new method is proposed to remove the effect of signal image in BP mode, instead of using complex circuits.

Citation: A. Roshanpanah, P. Torkzadeh, Kh. Hajsadeghi, and M. Dousti "Design and Implementation of a 16-bit Multi-Mode Delta-Sigma Digital-to-Analog Converter with Time-Interleaved Structure, Multi-Channel, and Compensation of Non-Idealities Based on FPGA," Journal of Southern Communication Engineering, vol. 14, no. 54, pp. 93–117, 2025, doi:10.30495/jce.2025.1993480.1330, [in Persian].

مقاله پژوهشی

طراحی و پیاده سازی مبدل دیجیتال به آنالوگ دلتا- سیگما ۱۶ بیتی چند حالته با ساختار بهم ریخته زمانی چند کاناله و جبران سازی غیرآرمانی آن مبتنی بر FPGA

ابوالفضل روشن پناه[۱] | پویا ترک زاده*[۲] | خسرو حاج صادقی[۳] | مسعود دوستی[۴]

[۱] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
a.roshanpanah@srbiau.ac.ir

[۲] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
p-torkzadeh@srbiau.ac.ir

[۳] دانشکده مهندسی برق، دانشگاه صنعتی شریف، تهران، ایران،
ksadeghi@sharif.edu

[۴] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
m_dousti@srbiau.ac.ir

نویسنده مسئول
*پویا ترک زاده، استادیار، دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
p-torkzadeh@srbiau.ac.ir

چکیده:

در این مقاله، یک مبدل دیجیتال به آنالوگ دلتا-سیگما درجه دوم (DSM-DAC) ۱۶بیتی چند حالته با ساختار بهم‌ریخته زمانی (TI) در فرکانس مرکزی ۴ گیگاهرتز و با پهنای باند ۲۰ مگاهرتز به زبان توصیف سخت‌افزاری (VHDL) مبتنی بر FPGA پیاده‌سازی شده است. معماری پیشنهادی تنها از یک فرکانس کلاک برای تولید سیگنال‌های فرکانس رادیویی (RF) استفاده می‌کند. مدولاتور دلتا-سیگما (DSM) درجه دوم با توانایی تنظیم مجدد دارای سه حالت پایین‌گذر (LP)، میانگذر (BP) در فرکانس Fs/۴ و بالاگذر (HP) برای سنتز سیگنال است. برای افزایش فرکانس نمونه‌برداری (Fs)، ساختار ۴ کاناله TI پیشنهاد شده است که هر کدام از کانالها در فرکانس Fs/۴ کار می‌کنند. از آنجایی که ضرایب ساده برای همه حالتها وجود دارد، عملیات ضرب را می‌توان با استفاده از یک بلوک شیفت دهنده انجام داد. یک چالش مهم در طراحی این نوع ساختارها، خطای چرخه وظیفه (DCE) است. برای غلبه بر اثر خطای DCE، با تنظیم مدار فیلتر و یکطرفه کردن باند فرکانسی عبور سیگنال بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، راه‌حل جدیدی پیشنهاد شده است. در این روش با حذف اثر تصویر سیگنال مقادیر SNDR و SFDR حتی برای حالت BP به طور قابل توجهی افزایش می‌یابد. چالش دیگر خطای عدم تطابق سلول‌های DAC است. این خطا به دو روش میانگین‌گیری وزنی داده‌ها (DWA) و مرتب‌سازی تطبیق عناصر پویا (SDEM) جبران سازی شده است. نتایج شبیه‌سازی در ISE نشان می‌دهد که مقدار SNDR برای حالت‌های LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB است.

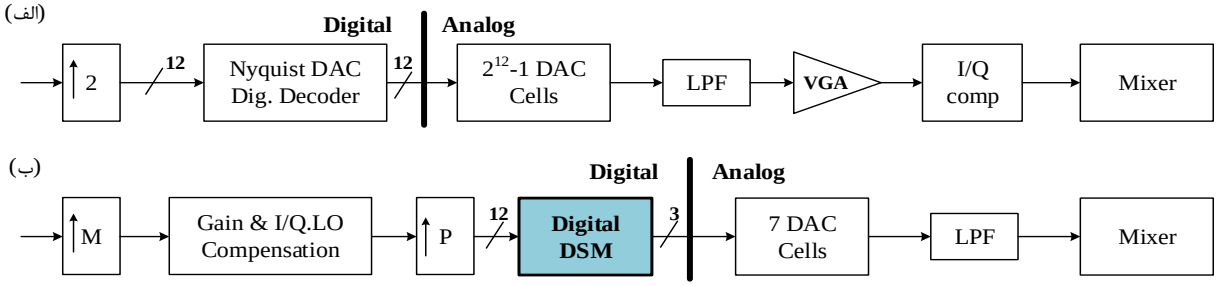
کلید واژه‌ها: بهم‌ریختگی زمانی، خطای چرخه وظیفه، ساختارپس‌خور- خطا، عدم تطابق سلول ها، مدولاتور دلتا-سیگما، FPGA .

تاریخ دریافت: ۲۱ اسفند ۱۴۰۲
تاریخ بازنگری: ۱۹ فروردین ۱۴۰۳
تاریخ پذیرش: ۱ اردیبهشت ۱۴۰۳

https://doi.org/10.30495/jce.2025.1993480.1330

۱-مقدمه

در سال‌های اخیر معماری مبدل‌های دیجیتال به آنالوگ[۱] (DAC) برای سیستم‌های ارتباطی بی‌سیم پیشرفت چشمگیری داشته است. افزایش تقاضا برای تبادل داده با نرخ بالاتر و طراحی سیستم‌های انعطاف‌پذیر در ارتباطات بی‌سیم از دلایل توجه ویژه به رادیوهای تعریف‌شده با نرم‌افزار[۲] (SDRs) هستند [۱-۴].



شکل ۱: (الف) یک مبدل دیجیتال به آنالوگ Nyquist (DAC) در یک فرستنده متداول و (ب) یک DAC دلتا-سیگما در یک فرستنده باند پایه دیجیتال [۵].
Figure 1. (a) A Nyquist digital-to-analog converter (DAC) in a traditional transmitter and (b) a delta-sigma DAC in a digital baseband transmitter.

استانداردهای ارتباطات بی‌سیم، مبدل‌های دیجیتال به آنالوگ نایکوئیست[۳] فرکانس رادیویی[۴] (RF-DACs) به‌منظور برآورده‌کردن الزامات سختگیرانه سطح نویز توسعه یافته‌اند [۳]. با این حال، دست‌یابی به وضوح بالا در DACهای فرکانس نایکوئیست پیچیدگی مدارهای آنالوگ و دیجیتال را افزایش می‌دهد و منجر به عدم تطابق و کاهش خطینگی[۵] می‌شود [۶, ۷]. چندین روش کالیبراسیون و اصلاح پیشنهاد شده است [۸-۱۲]، اما آنها اغلب به تعداد زیادی سلول و زمان کالیبراسیون نیاز دارند که عملکرد طرح‌ها را محدود می‌کند [۱۳]. در مطالعه حاضر مرور کوتاهی بر ساختارها و روش‌های جدید DAC با رویکرد غلبه بر محدودیت‌های معماری‌های قبلی می‌شود.

شکل ۱ DAC های نرخ نایکوئیست و دلتا سیگما[۶] را نشان می‌دهد. از نمونه‌های شناخته شده‌ی معماری‌های جدید DAC ها، می‌توان DACهای بازگشتی چندگانه به صفر[۷] (MRZ)، DAC های Mix-Mode و DAC های با ساختار بهم‌ریخته زمانی[۸] (TI-DAC) را نام برد. TI-DAC و MRZ DACs راه‌حل‌هایی برای سنتز مستقیم سیگنال در فرکانس رادیویی (RF) ارائه می‌دهند، اما به نرخ سوئیچینگ بالایی نیاز دارند [۱۴-۲۰]. علاوه بر این، TI-DAC ها سیگنال‌های تصویر[۹] را حذف می‌کنند و هارمونیک‌ها را با ترکیب چند DAC با جابجایی فاز حذف می‌کنند [۲۱]. این روش پهنای باند و وضوح را افزایش می‌دهد، اما با چالش هایی مانند مساحت تراشه بزرگ‌تر و مصرف انرژی بیش‌تر همراه است [۳, ۵, ۲۱-۲۳]. روش‌هایی مانند بهم‌ریختگی زمانی[۱۰] (TI) [۵, ۲۲, ۲۳]، برون‌یابی پیش‌فرض دیجیتال[۱۱] [۲۴] و پیش‌اعوجاج دیجیتال[۱۲] (DPD) [۲۵] برای بهبود عملکرد و خطینگی معرفی و استفاده می‌شوند. هدف معماری-های پیشنهادی دست‌یابی به نرخ داده‌های بالا، سنتز محدوده فرکانس وسیع و کاهش پیچیدگی سخت‌افزار است.

---

[1] Digital-to-Analog Convertors
[2] Software-Defined Radio
[3] Nyquist
[4] Radio Frequency Digital-to-Analog Convertors
[5] Linearity
[6] Delta-Sigma
[7] Multiple return-to-zero
[8] Time-Interleaved Digital-to-Analog Convertors
[9] Image Signals
[10] Time-Interleaved
[11] Digital Feed-Forward Extrapolation
[12] Digital Pre-Distortion

DAC های مدولاتور دلتا سیگما[1] با ساختار بهم‌ریخته‌ی زمانی (TI-DSM-DAC) در فرستنده‌های رادیویی انعطاف پذیر مورد توجه هستند. زیرا می‌توانند سرعت بخش دیجیتال مدولاتور را برای استفاده با نرخ کلاک بالا افزایش دهند و پیچیدگی آنالوگ را ساده کنند. علاوه بر این، به دلیل ماهیت بیش نمونه‌برداری، قادرند مرتبه فیلتر بازسازی آنالوگ را (که پس از DAC قرار دارد.) کاهش دهند. فرکانس کاری ۴ گیگاهرتز در مخابرات بی‌سیم معمولاً برای کاربردهایی استفاده می‌شود که نیاز به پهنای باند بالا و انتقال داده‌های سریع دارند. این فرکانس برای شبکه‌های وای‌فای، سیستم‌های مخابراتی نظامی، رادارها، و برخی از سیستم‌های ماهواره‌ای کاربرد دارد. همچنین، در محیط‌هایی که تداخل فرکانسی کمتری وجود دارد، می‌توان از این فرکانس برای افزایش کیفیت ارتباطات بی‌سیم استفاده کرد. بنابراین، آنها نقش اساسی در توسعه استانداردهای ارتباطی مدرن مانند WiGig (IEEE 802.11ad) [۲۶]، ECMA-387 [۲۷]، Wireless HD [۲۸] و اخیراً نسل پنجم[2] (5G) ارتباطات بی‌سیم دارند، که از باندهای فرکانسی محدوده‌ی بالای گیگاهرتز مانند ۲۸، ۳۸، ۶۴ و ۷۱ گیگاهرتز استفاده می‌کند [۲۹, ۳۰].

مطالعه حاضر به بررسی معماری‌های TI-DSM می‌پردازد، و پس از ارایه یک ساختار منحصر به فرد مدولاتور ۴ کاناله چند حالته برای سه حالت پایین‌گذر[3] (LP)، میان‌گذر[4] (BP) و بالاگذر[5] (HP)، آن را به زبان توصیف سخت افزاری[6] (VHDL) و در ISE پیاده سازی می‌کند. خطای چرخه وظیفه[7] (DCE) را به مدولاتور اعمال کرده و روش‌های جبران سازی مؤثری پیشنهاد می‌دهد. همچنین خطای عدم تطابق سلول‌های[8] DAC را به‌منظور بررسی تأثیر آن بر عملکرد ساختار پیشنهادی اعمال کرده و سپس با دو روش میانگین‌گیری وزنی داده‌ها[9] (DWA) [۳۱] و مرتب‌سازی تطبیق عناصر پویا[10] (SDEM) [۳۲] [۳۳] سعی در جبران سازی آن شده است.

این مقاله به شش بخش تقسیم می‌شود. در بخش دوم ساختار TI-DSM پیشنهادی ارائه می‌شود. بخش سوم به پیاده‌سازی معماری TI-DSM آرمانی[11] به زبان VHDL و در ISE می‌پردازد. در بخش چهارم پیاده‌سازی غیرآرمانی ناشی از DCE، روش‌های جبران‌سازی و حذف سیگنال‌های تصویر ارائه شده است. در بخش پنجم خطای عدم تطابق سلول‌های DAC را به‌منظور بررسی تأثیر آن بر عملکرد به ساختار پیشنهادی اعمال کرده و سپس با دو روش DWA و SDEM سعی در جبران‌سازی آن شده است. در نهایت بخش ششم به نتیجه‌گیری می‌پردازد. این مقاله بینش‌های ارزشمندی در مورد پیاده‌سازی و بهینه‌سازی معماری‌های TI-DSM و جبران‌سازی خطای DCE برای سیستم‌های ارتباطی بی‌سیم ارائه می‌دهد.

۲-مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی

طراحی یک ساختار چند حالته با قابلیت عملکرد در فرکانس‌های پایین، متوسط و بالا دارای چالش‌های پیچیده‌ای است. اما به این ترتیب رویکرد مناسبی برای ایجاد یک DSM چند منظوره ارائه می‌شود. هدف پیاده‌سازی یک DSM چند حالته ۱۶ بیتی با ساختار TI است که در فرکانس ۴ گیگاهرتز با پهنای باند ۲۰ مگاهرتز کار می‌کند. علاوه بر این، هدف طراحی، شناسایی خطاهای بالقوه و ایجاد یک رویکرد راهبردی جبران‌سازی برای آنها است.

---

[1] Delta-Sigma Modulators
[2] Fifth-Generation
[3] Low-Pass
[4] Band-Pass
[5] High-Pass
[6] Very High-Speed Integrated Circuit Hardware Description Language
[7] Duty Cycle Error
[8] Mismatch Error
[9] Data Weighted Averaging
[10] Sorted Dynamic Element Matching
[11] Ideal

معماری پیشنهادی از یک فرکانس نمونه‌برداری[1] واحد (Fs) برای تولید سیگنال RF استفاده می‌کند که شامل یک DSM قابل تنظیم مجدد با حالت LP، حالت BP در Fs/4 و حالت HP است. برای سنتز سیگنال برای دست‌یابی به فرکانس‌های بالاتر، از یک ساختار TI با ۴ کاناله که هر کدام در فرکانس Fs/4 کار می‌کنند، استفاده شده است.

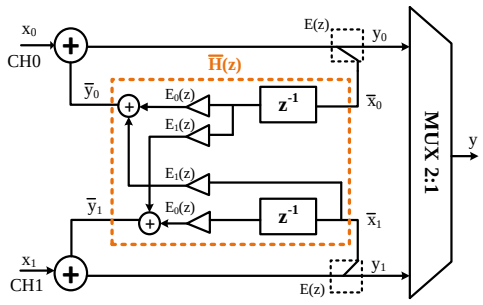
انتخاب مرتبه مناسب فیلترهای DSM و تعداد بیت‌های کوانتایزر[2] داخلی برای هر کانال یک TI-DSM در به حداقل رساندن مساحت و مصرف توان سیستم بسیار مهم است. در این مرحله از فرآیند، فیلترهای DSM مرتبه یک تا ۳ با یک کوانتایزر چند بیتی به‌عنوان ساختار بازخورد خطا[3] (EFB) پیاده‌سازی شده است. برای یک ساختار DSM ۱۶ بیتی ، حداقل نسبت سیگنال به نویز[4] (SNR) مورد نیاز ۹۸ dB است.

بر اساس نتایج شبیه‌سازی در حالت‌های LP، BP، و HP، SNR به‌دست‌آمده توسط مدولاتور مرتبه دوم (DSM مرتبه دوم)، نیاز برای SNR بالای ۹۸ dB را برآورده می‌کند. علاوه بر این، DSM مرتبه دوم از جمع کننده‌های دو ورودی استفاده می‌کند، درحالی‌که مدولاتورهای مرتبه سوم (DSM مرتبه سوم) یا بالاتر به جمع کننده‌های سه ورودی و بالاتر نیاز دارد. تعداد ورودی‌های جمع‌کننده به‌طور مستقیم بر اشغال مساحت تراشه، تأخیر انتشار، مصرف انرژی، مسیرهای بحرانی و پیچیدگی مدار تأثیر می‌گذارد. ازاین‌رو، DSM مرتبه دوم با کوانتایزر داخلی ۴ بیتی بهترین انتخاب است. مشخصات نهایی معماری انتخاب شده در جدول ۱ ارائه شده است.

جدول ۱: مشخصات نهایی معماری پیشنهادی.

Table 1. Final specifications of the selected system.

پارامتر	مقدار تعیین شده	پارامتر	مقدار تعیین شده
فرکانس نمونه‌برداری (GHz)	۴	مرتبه فیلتر پایین‌گذر	**۲**
پهنای باند (MHz)	۲۰	مرتبه فیلتر میان‌گذر	**۴**
نرخ بیش نمونه‌برداری(OSR)	۱۰۰	مرتبه فیلتر بالاگذر	**۲**
تعداد بیت‌های ورودی	۱۶	تعداد بیت‌های داخلی کوانتایزر	**۴**
تعداد کانال‌های ساختار TI	۴	SFDR(dB)[5]	**۱۰۰<**
SNDR (dB)[6]	۱۰۰<		



شکل ۲: مدولاتور دلتا-سیگما با ساختار بهم‌ریخته زمانی دو کاناله [۵].

Figure 2. A two-channel EFB-TI-DSM.

[1] Sampling Frequency
[2] Quantizer
[3] Error Feedback
[4] Signal-to-Noise Ratio
[5] Spurious Free Dynamic Range
[6] Signal-to-Noise and Distortion Ratio

۲-۱-تبدیل ساختار تک حلقه‌ای به ساختار TI ۴ کاناله

شکل ۲ ساختار یک TI-EFB[1] ۲ کاناله را نشان می‌دهد. در این ساختار، رابطه زیر برقرار است [۵, ۲۳]:

$$\begin{bmatrix}\overline{y_0}\\ \overline{y_1}\end{bmatrix}=\overline{H(z)}\times\begin{bmatrix}\overline{X_0}\\ \overline{X_1}\end{bmatrix}=\begin{bmatrix}E_0(z) & E_1(z)\\ z^{-1}E_0(z) & E_1(z)\end{bmatrix}\times\begin{bmatrix}\overline{X_0}\\ \overline{X_1}\end{bmatrix} \quad (۱)$$

علاوه براین، رابطه ۲ را می‌توان بین ضرایب E_k و $H(z)=1-NTF(z)$ ایجاد کرد، که تابع تبدیل سیگنال فیلتر DSM تک حلقه است:

$$H(z)=\sum_{k=0}^{M-1}z^{-k}E_k(z^M) \quad (۲)$$

بایافتن ضرایب از رابطه فوق، رابطه ۳ به دست می آید.

$$H(z)=\sum_{k=0}^{M-1}z^{-k}E_k(z^M)=E_0(z^4)+z^{-1}E_1(z^4)+z^{-2}E_2(z^4)+z^{-3}E_3(z^4) \quad (۳)$$

این تبدیل را می‌توان برای ساختار ۴ کاناله TI-EFB پیشنهادی گسترش داد. برای یافتن ضرایب بین کانال‌های بهم‌ریخته زمانی، با فرض M=۴، رابطه ۲ به صورتی که در ادامه می‌آید، تبدیل می‌شود. علاوه بر این، تابع تبدیل نویز مدولاتور دلتا-سیگما پایین‌گذر[2] (LP-DSM)، $NTF=(1-z^{-1})^2$ است و H(z) به‌صورت زیر محاسبه می‌شود:

$$H(z)=1-NTF(z)=1-(1-z^{-1})^2=2z^{-1}-z^{-2} \quad (۴)$$

با برابری روابط ۳ و ۴ ضرایب E_k به صورت زیر به دست می‌آیند:

$$E_0(z)=0 \qquad E_1(z)=2 \qquad E_2(z)=-1 \qquad E_3(z)=0 \quad (۵)$$

در نتیجه ماتریس ضرایب DSM مرتبه دوم ۴ کاناله به شکل رابطه ۶ می‌باشد.

$$\overline{H}(z)=\begin{bmatrix}E_0(z) & E_1(z) & E_2(z) & E_3(z)\\ z^{-1}E_0(z) & E_0(z) & E_1(z) & E_2(z)\\ z^{-1}E_0(z) & z^{-1}E_1(z) & E_0(z) & E_1(z)\\ z^{-1}E_0(z) & z^{-1}E_1(z) & z^{-1}E_2(z) & E_0(z)\end{bmatrix}=\begin{bmatrix}0 & 2 & -1 & 0\\ 0 & 0 & 2 & -1\\ -z^{-1} & 0 & 0 & 2\\ 2z^{-1} & -z^{-1} & 0 & 0\end{bmatrix} \quad (۶)$$

با تکرار روش فوق برای حالت‌های BP و HP، ضرایب مدولاتور ۴ کاناله TI به ترتیب در روابط ۷ و ۸ آمده‌اند.

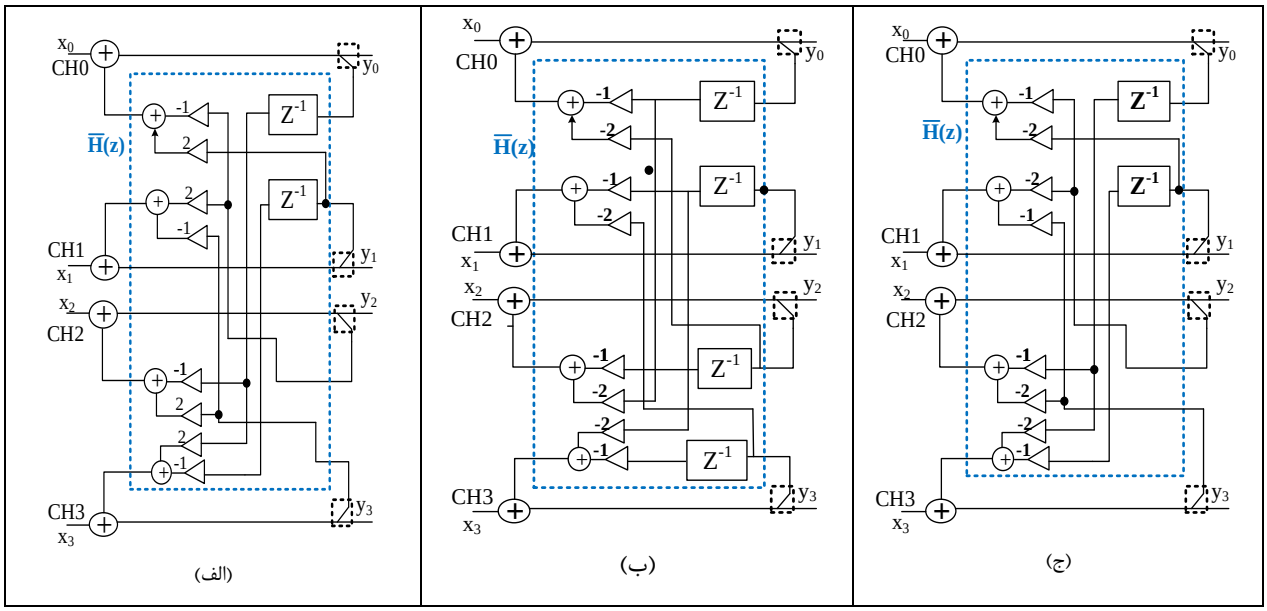
[1] Time-Interleaved Error Feedback

[2] Low-Pass Delta-Sigma Modulator

$$\overline{H}(z)=\begin{bmatrix} -z^{-1} & 0 & -2 & 0 \\ 0 & -z^{-1} & 0 & -2 \\ -2z^{-1} & 0 & -z^{-1} & 0 \\ 0 & -2z^{-1} & 0 & -z^{-1} \end{bmatrix} \quad (۷)$$

$$\overline{H}(z)=\begin{bmatrix} 0 & -2 & -1 & 0 \\ 0 & 0 & -2 & -1 \\ -z^{-1} & 0 & 0 & -2 \\ -2z^{-1} & -z^{-1} & 0 & 0 \end{bmatrix} \quad (۸)$$

ازآنجایی‌که ضرایب ساده برای هر سه حالت با مقادیر <۱، ۱- ، ۲، ۲- > وجود دارد، عملیات ضرب را می‌توان با استفاده از یک بلوک شیفتر انجام داد. در نتیجه، ساده‌سازی طراحی، مصرف انرژی کمتر، ناحیه اشغالی کوچک‌تر و سرعت بالاتر حاصل می‌شود. در نهایت، ساختار پیشنهادی برای مدولاتور ۴ کاناله TI-EFB با استفاده از سوئیچ‌ها در شکل ۳ نشان داده شده است.



شکل ۳: ساختار پیشنهادی برای EFB-TI-DSM ۴ کاناله. (الف) حالت LP، (ب) حالت BP، و (ج) حالت HP.

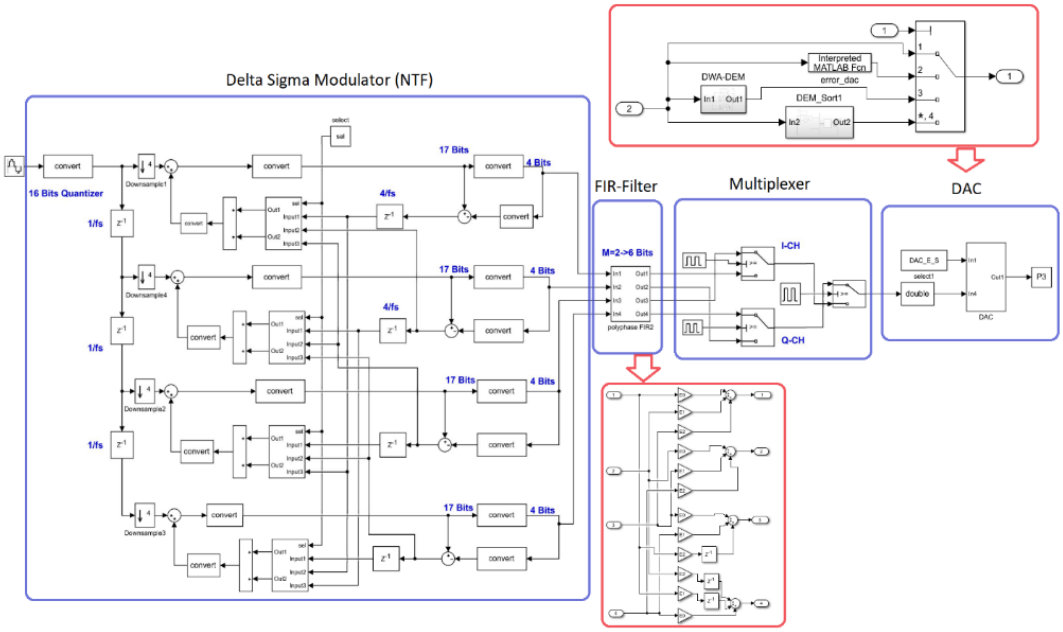
Figure 3. The proposed structure for the 4-Ch EFB-TI-DSM; (a) LP mode, (b) BP mode, and (c) HP mode.

۳-پیاده سازی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی آرمانی در VHDL

در این بخش ساختار پیشنهادی TI-DSM مرتبه دوم ۴ کاناله به زبان VHDL در نرم‌افزار ISE پیاده‌سازی شده است. ساختار پیشنهادی بر روی تراشه Kintex-7 سری XC7K480T پیاده‌سازی شده و حالت‌های LP، BP در فرکانس Fs/۴ و HP در شرایط آرمانی پیاده‌سازی شده است. شکل ۴ بلوک دیاگرام TI-DSM آرمانی ۴ کاناله را به همراه واحدهای جبران‌سازی خطاهای DCE و عدم تطابق سلول‌های DAC نشان می‌دهد.

به‌منظور اعمال سیگنال سینوسی ۱۶ بیتی با فرکانس ۴ گیگاهرتز به ورودی ساختار TI-DSM ۴ کاناله در ISE این سیگنال به‌صورت فایل متنی در MATLAB تولید و ذخیره می‌شود. سه سیگنال ورودی متناظر با حالت‌های LP، BP و HP مطابق با کد مربوطه در

MATLAB حاصل می‌گردد که در کد VHDL به‌عنوان ورودی استفاده می‌شود. روش دیگر تولید سیگنال سینوسی در VHDL استفاده از IPCore مربوطه است.

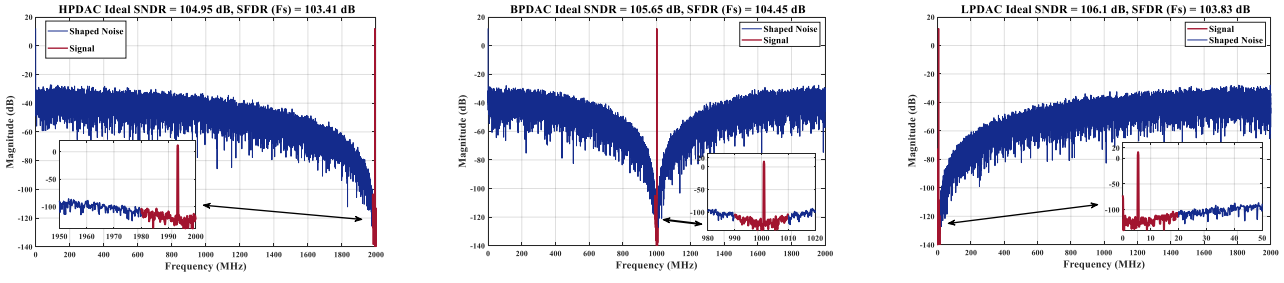


شکل ۴: بلوک دیاگرام TI-DSM آرمانی ۴ کاناله همراه واحدهای جبران‌سازی خطاهای DCE و عدم تطابق سلول‌های DAC.

Figure 4. Block diagram of ideal 4-channel TI-DSM with DCE error compensation units and DAC cell mismatch.

۳-۱-شبیه‌سازی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی آرمانی

پس از سنتز موفقیت‌آمیز کد VHDL ساختار TI-DSM مرتبه دوم ۴ کاناله آرمانی ، شبیه‌سازی در هر سه حالت LP، BP و HP انجام شده است. برای پیاده‌سازی این مدولاتور چند حالتی، یک ساختار واحد با اندکی قابلیت پیکربندی متناظر با فرکانس سیگنال ورودی پیاده‌سازی شده است، به‌طوری‌که در هر حالت به کمک یک شاخص تعیین کننده فرکانس کاری ساختار پیشنهادی به یکی از حالت‌های LP، BP و HP تبدیل می‌شود. سیگنال خروجی TI-DSM ۴ کاناله، ۴ بیتی با فرکانس ۴ گیگاهرتز است. فرکانس کاری هر یک از مسیرهای چهارگانه درونی TI-DSM، Fs/۴ برابر با یک گیگاهرتز است. بنابراین این مدولاتور به دو سیگنال کلاک نیازمند است. برای ساخت کلاک با فرکانس یک گیگاهرتز دقیق، از فرکانس ۴ گیگاهرتز استفاده می‌شود.



(ج) (ب) (الف)

شکل ۵: طیف سیگنال خروجی در حالت‌های (الف) LP، (ب) BP، و (ج) HP در مقیاس خطی.

Figure 5. Output signal spectrum for (a) LP, (b) BP, and (c) HP modes in linear scale.

به‌منظور شبیه‌سازی ساختار TI-DSM کد VHDL تست نوشته شده است. در این کد مقادیر ورودی از هر یک از فایل‌های متنی سیگنال‌های ورودی مربوط به LP، BP و HP خوانده شده و به‌عنوان ورودی به TI-DSM اعمال می‌شود. خروجی TI-DSM نیز به‌منظور استفاده و راستی آزمایی نتایج در MATLAB در یک فایل متنی ذخیره می‌شود. طیف فرکانسی و مقادیر SNDR و SFDR سیگنال خروجی ساختار TI-DSM برای هر یک از حالت‌های LP، BP و HP در شکل ۵ نشان داده شده است. مقدار SNDR در حالت LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB و مقدار SFDR در حالت LP ، BP و HP به ترتیب برابر با ۱۰۳/۸۳، ۱۰۴/۴۵ و ۱۰۳/۴۱ dB است که همگی بالاتر از حداقل مقدار مورد نیاز (۹۸ dB) برای تعداد بیت‌های موثر[1] (ENOB) ۱۶ بیت است.

۴-بررسی اثرات غیرآرمانی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی و جبران‌سازی آنها

یکی از مهمترین خطاها در پیاده‌سازی مدارهای TI-DSM های چند کاناله، خطای DCE است. دست‌یابی به چرخه دقیق کلاک کاری ۵۰ درصد در سرعت‌های بالا بسیار چالش برانگیز است. تغییر یک چرخه وظیفه از ۵۰٪، باعث عدم تطابق مسیر درونی فاز و متعامد[2] (IQ) و خطای فاز می‌شود [۳۴]. این خطا باعث افزایش نویز در پهنای باند و در نتیجه کاهش SNR می‌شود. در مدولاتور دلتا-سیگما میان‌گذر[3] (BP-DSM) علاوه بر افزایش نویز در پهنای باند، تصویر سیگنال نیز در پهنای باند قرار می‌گیرد که باعث کاهش بیش‌تر SNR می‌شود. در این بخش اثر خطا DCE و روش جبران‌سازی آن بر روی ساختار پیشنهادی بررسی شده تا از عملکرد صحیح ساختار اطمینان حاصل شود. خطای با اهمیت دیگر خطای عدم تطابق سلول‌های DAC است که در بخش پنجم مقاله بطور کامل بحث خواهد شد.

۴-۱-شبیه‌سازی DCE در VHDL

به‌منظور بررسی اثرات خطای DCE بر عملکرد ساختار TI-DSM فقط کد VHDL تست نوشته شده است و پس از سنتز موفقیت آمیز، شبیه‌سازی در هر سه حالت LP ، BP و HP انجام شده است. مقدار خطای DCE_Error یک و ۲ درصد در خروجی بلوک های DSM و مالتی پلکسر اعمال می‌شود. در کد تست یک سیگنال کلاک با نام " clk_DCE" اضافه شده تا نمونه‌برداری خروجی۱۰۰ برابر بیش‌تر از حالت قبل باشد، در این صورت می‌توان خطای اعمالی به کلاک را استخراج و مشاهده نمود. همانند حالت آرمانی در این کد نیز مقادیر ورودی از هر یک از فایل های متنی سیگنال‌های ورودی مربوط به LP، BP و HP خوانده و به عنوان ورودی به TI-DSM اعمال می‌شود. خروجی TI-DSM نیز به‌منظور استفاده و راستی آزمایی نتایج در MATLAB در یک یک فایل متنی ذخیره می‌شود.

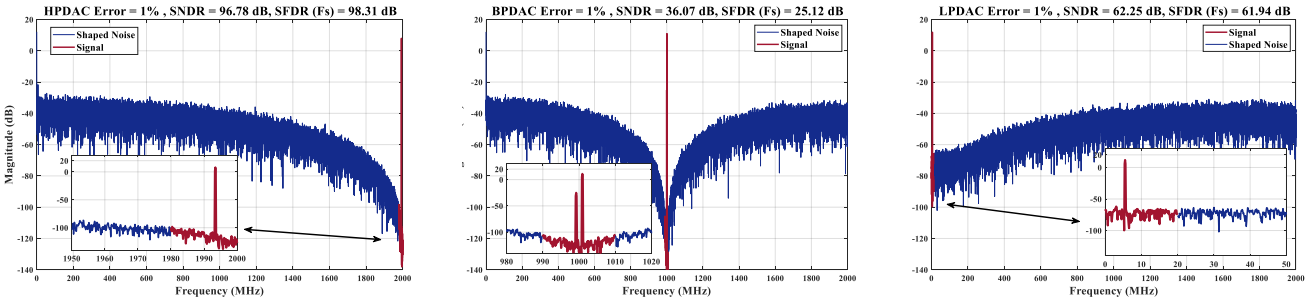
شکل ۶ نتایج شبیه‌سازی و مقادیر SNDR و SFDR پس از اعمال DCE با خطای یک درصد در حالت‌های LP، BP، و HP نشان می‌دهد. مقدار SNDR در حالت LP ، BP و HP به ترتیب برابر با ۶۲/۲۵، ۳۶/۰۷ و ۹۶/۷۸ dB و مقدار SFDR در حالت LP، BP و HP به ترتیب برابر با ۶۱/۹۴، ۲۵/۱۲ و ۹۶/۳۱ dB است. نتایج نشان می‌دهند که مقادیر SNDR و SFDR در اثر خطای DCE افت شدیدی را تجربه کرده‌اند. دلیل این افت شدید در حالت BP حضور تصویر سیگنال در باند فرکانسی مدولاتور است. شکل ۷ نتایج شبیه‌سازی و مقادیر SNDR و SFDR پس از اعمال DCE با خطای ۲ درصد در حالت های LP، BP، و HP نشان می‌دهد. مقدار SNDR در حالت LP، BP و HP به ترتیب برابر با ۵۶/۲۳، ۳۰/۰۵ و ۹۱/۳۰ dB و مقدار SFDR در حالت LP، BP و HP به ترتیب

[1] Effective Number of Bits
[2] In-Phase and Quadrature
[3] Band-Pass Delta-Sigma Modulator

برابر با ۵۵/۹۲، ۱۹/۱۰ و ۹۳/۴۱ dB است. دلیل افت کمتر در حالت HP فاصله فرکانسی قابل توجه تصویر سیگنال از سیگنال اصلی و باند فرکانسی مدولاتور است.

۴-۲-جبران‌سازی DCE

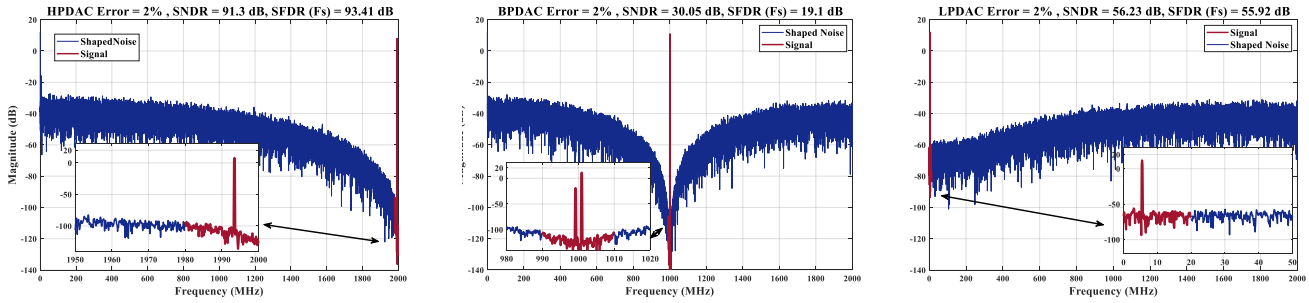
همانطور که در شکل ۸ نشان داده شده است، یک راه‌حل رایج جبران‌سازی خطای DCE در TI-DSM ها استفاده از فیلتر پاسخ ضربه محدود[1] (TI-FIR) قبل از مالتی پلکسر در مسیر سیگنال هر کانال است. فیلتر FIR برای جبران DCE عمل می‌کند و در نتیجه تعداد بیت‌های خروجی از مدولاتور مطابق با مرتبه فیلتر افزایش می‌یابد. فرض کنید تعداد بیت‌های خروجی کوانتایزر با K و تعداد بیت‌های اضافه شده توسط فیلتر m نشان داده شود. m همان مرتبه فیلتر FIR نیز هست. در نتیجه، خروجی نهایی مدولاتور پس از جبران سازی توسط فیلتر FIR شامل بیت های K+m خواهد بود.



(ج) (ب) (الف)

شکل ۶: طیف فرکانس مدولاتور مرتبه دوم با یک درصد خطای DCE.

Figure 6. Frequency spectrum of the second-order modulator with a DCE of 1%.

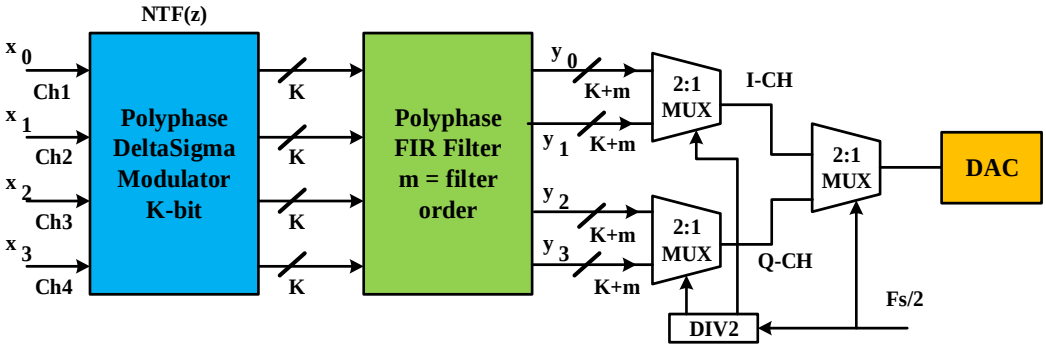


(ج) (ب) (الف)

شکل ۷: طیف فرکانس مدولاتور مرتبه دوم با ۲ درصد خطای DCE.

Figure 7. Frequency spectrum of the second-order modulator with a DCE of 2%.

[1] Time-Interleaved Finite Impulse Response



شکل ۸: فیلتر TI-FIR قبل از مالتی پلکسر در مسیر سیگنال هر کانال.

Figure 8. TI-FIR filter before the multiplexer in the signal path of each channel.

پیشنهاد می‌شود برای جبران DCE، دو فیلتر TI-FIR مرتبه اول (m=۱) و مرتبه دوم (m=۲) بکار برده شود. از آنجایی که K=۴ است، بنابراین تعداد بیت‌های خروجی نهایی TI-DSM پس از جبران‌سازی در حالت استفاده ازفیلتر TI-FIR مرتبه اول ۵ بیت و در حالت استفاده فیلتر TI-FIR مرتبه دوم ۶ بیت خواهد بود. برای حالت مدولاتوردلتا-سیگما بالاگذر[1](LP-DSM) نوع فیلتر LP-FIR[2] است و توابع تبدیل فیلترهای LP-FIR مرتبه اول و مرتبه دوم به ترتیب $(1+z^{-1})$ و $(1+z^{-1})^2$ بوده و ضرایب آنها نیز به ترتیب در رابطه ۹ و ۱۰ آمده است.

$$\overline{H}(z)=\begin{bmatrix}1 & 1 & 0 & 0\\ 0 & 1 & 1 & 0\\ 0 & 0 & 1 & 1\\ -z^{-1} & 0 & 0 & 1\end{bmatrix} \quad (۹)$$

$$\overline{H}(z)=\begin{bmatrix}1 & 2 & 1 & 0\\ 0 & 1 & 2 & 1\\ z^{-1} & 0 & 1 & 2\\ 2z^{-1} & z^{-1} & 0 & 1\end{bmatrix} \quad (۱۰)$$

برای حالت مدولاتوردلتا-سیگما بالاگذر[3] (HP-DSM) نوع فیلتر HP-FIR[4] است. توابع تبدیل فیلتر ها به ترتیب $(1-z^{-1})$ و $(1-z^{-1})^2$ بوده و ضرایب آنها به ترتیب در رابطه ۱۱ و ۱۲ آمده است.

$$\overline{H}(z)=\begin{bmatrix}1 & -1 & 0 & 0\\ 0 & 1 & -1 & 0\\ 0 & 0 & 1 & -1\\ -z^{-1} & 0 & 0 & 1\end{bmatrix} \quad (۱۱)$$

[1] Low-Pass Delta-Sigma Modulator
[2] Low-Pass Finite Impulse Response
[3] High-Pass Delta-Sigma Modulator
[4] High-Pass Finite Impulse Response

$$\overline{H}(z)=\begin{bmatrix} 1 & -2 & 1 & 0 \\ 0 & 1 & -2 & 1 \\ z^{-1} & 0 & 1 & -2 \\ -2z^{-1} & z^{-1} & 0 & 1 \end{bmatrix} \quad (۱۲)$$

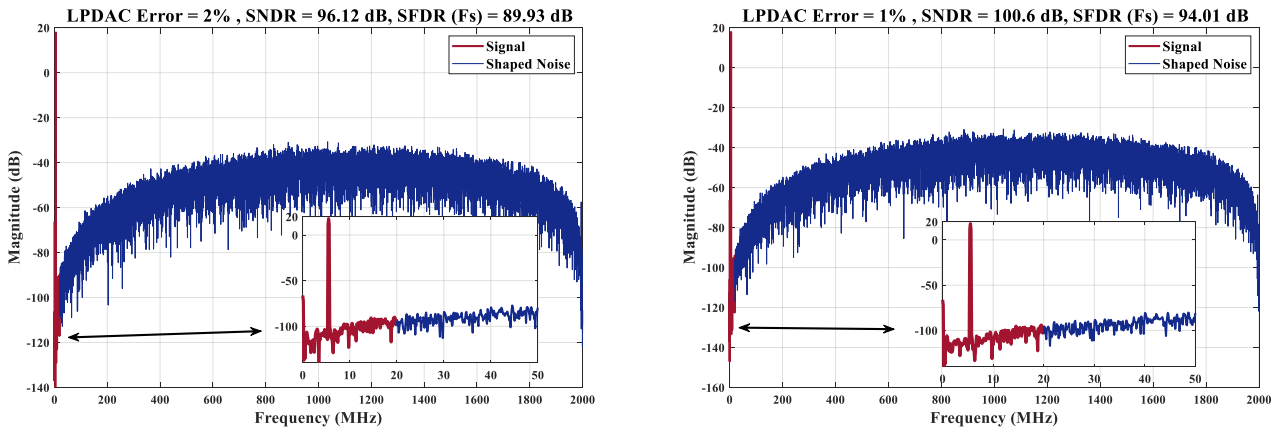
برای حالت BP-DSM نوع فیلتر BP-FIR است. یک فیلتر BP-FIR مرتبه دوم با عبارت $(1-z^{-1})$ تعریف می‌شود و ضرایب آن به صورت زیر در رابطه ۱۳ آمده است:

$$\overline{H}(z)=\begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ -z^{-1} & 0 & 1 & 0 \\ 0 & -z^{-1} & 0 & 1 \end{bmatrix} \quad (۱۳)$$

این ضرایب برای پیاده‌سازی جبران‌ساز DCE برای مقادیر خطای یک درصد و ۲ درصد با استفاده از فیلترهای مرتبه اول و مرتبه دوم برای حالت های LP، BP و HP استفاده شده است.

۴-۲-۱-جبران‌سازی DCE در حالت‌های LP و HP توسط فیلتر TI-FIR مرتبه اول

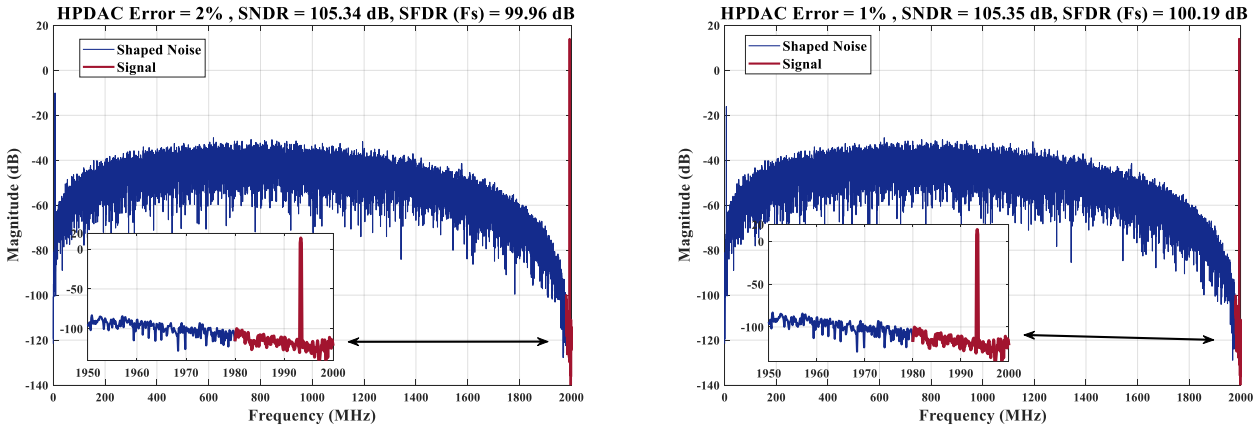
روش پیشنهادی جبران‌سازی خطای DCE در زبان VHDL پیاده‌سازی شده است. ساختار کلی مدولاتور و مشخصات فرکانس کلاک و سیگنال‌های ورودی و خروجی هیچ تفاوتی با ساختار آرمانی آن ندارد. مطابق شکل ۹، در حالت LP پس از جبران‌سازی به وسیله فیلتر LP-FIR مرتبه اول، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۰/۶۰ و ۹۶/۱۲ dB و مقدار SFDR به ترتیب برابر با ۹۴/۰۱ و ۸۹/۹۳ dB است. سپس برای حالت HP یک فیلتر مرتبه اول HP-FIR استفاده شده است. همان‌طور که در شکل ۱۰ مشاهده می‌شود، پس از جبران‌سازی، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۵/۳۵و۱۰۵/۳۴ dB و مقدار SFDR به ترتیب برابر با ۱۰۰/۱۹ و ۹۹/۹۶ dB است.



(الف) (ب)

شکل ۹: طیف خروجی جبران‌شده با فیلتر FIR مرتبه اول در حالت LP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 9. The output spectrum compensated by first-order FIR filter in LP mode with (a) 1% and (b) 2% DCE.



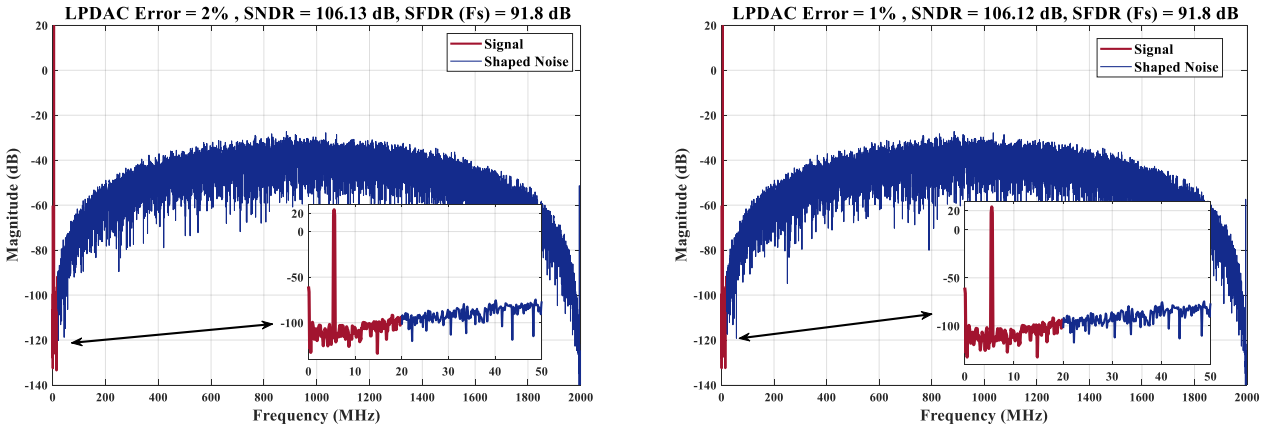
(ب) (الف)

شکل ۱۰: طیف خروجی جبران‌شده با فیلتر FIR مرتبه اول در حالت HP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 10. The output spectrum compensated by first-order FIR filter in HP mode with (a) 1% and (b) 2% DCE.

۴-۲-۲-جبران‌سازی DCE در حالت های LP، BP وHP توسط فیلتر TI-FIR مرتبه دوم

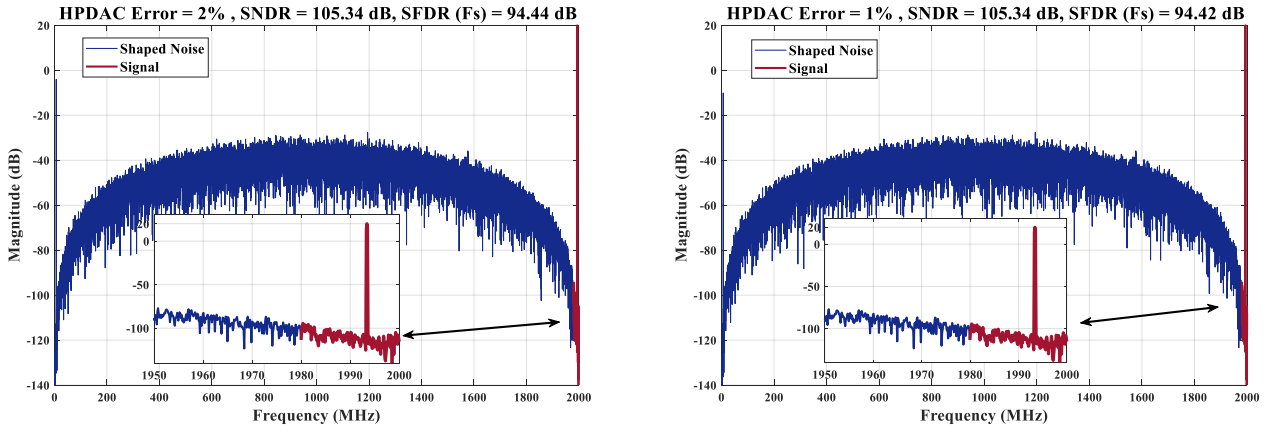
بار دیگر به‌منظور جبران‌سازی DCE فیلتر مرتبه دوم TI-FIR در حالت‌های LP، BP وHP، متناسب با ضرایب مورد نیاز پیاده‌سازی شده است. همان‌طور که در شکل ۱۱ مشاهده می‌شود، در حالت LP پس از جبران‌سازی به وسیله فیلتر LP-FIR، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۶/۱۲ و ۱۰۶/۱۳ dB و مقدار SFDR برای هر دو مقدار خطا یکسان و برابر با ۹۱/۸۰ dB است. سپس یک فیلتر مرتبه دوم HP-FIR با عبارت $(1-z^{-1})^2$ در نظر گرفته شده است. همان‌طور که در شکل ۱۲ مشاهده می‌شود، در حالت HP پس از جبران‌سازی به وسیله فیلتر HP-FIR، مقدار SNDR به ازای خطای ۱ و ۲ درصد یکسان و برابر با ۱۰۵/۳۴ dB و مقدار SFDR به ترتیب برابر با ۹۴/۴۲ و ۹۴/۴۴ dB است.



(ب) (الف)

شکل ۱۱: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت LP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 11. The output spectrum compensated by second-order FIR filter in LP mode with (a) 1% and (b) 2% DCE.



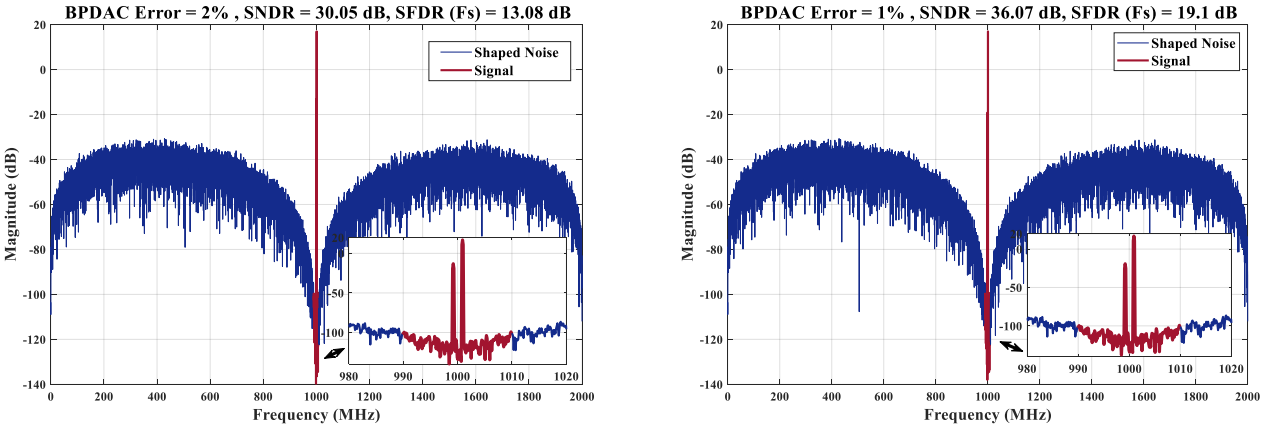
(ب) (الف)

شکل ۱۲: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت HP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 12. The output spectrum compensated by second-order FIR filter in HP mode with (a) 1% and (b) 2% DCE.

در گام نهایی یک فیلتر مرتبه دوم BP-FIR در نظر گرفته شده است. مطابق شکل ۱۳، در حالت BP پس از جبران‌سازی به وسیله فیلتر BP-FIR، مقدار SNDR به ازای خطای یک و دو درصد به ترتیب برابر با۳۶/۰۷ و ۳۰/۰۵ dB و مقدار SFDR به ترتیب برابر با ۱۹/۱۰ و ۱۳/۰۸ dB است.

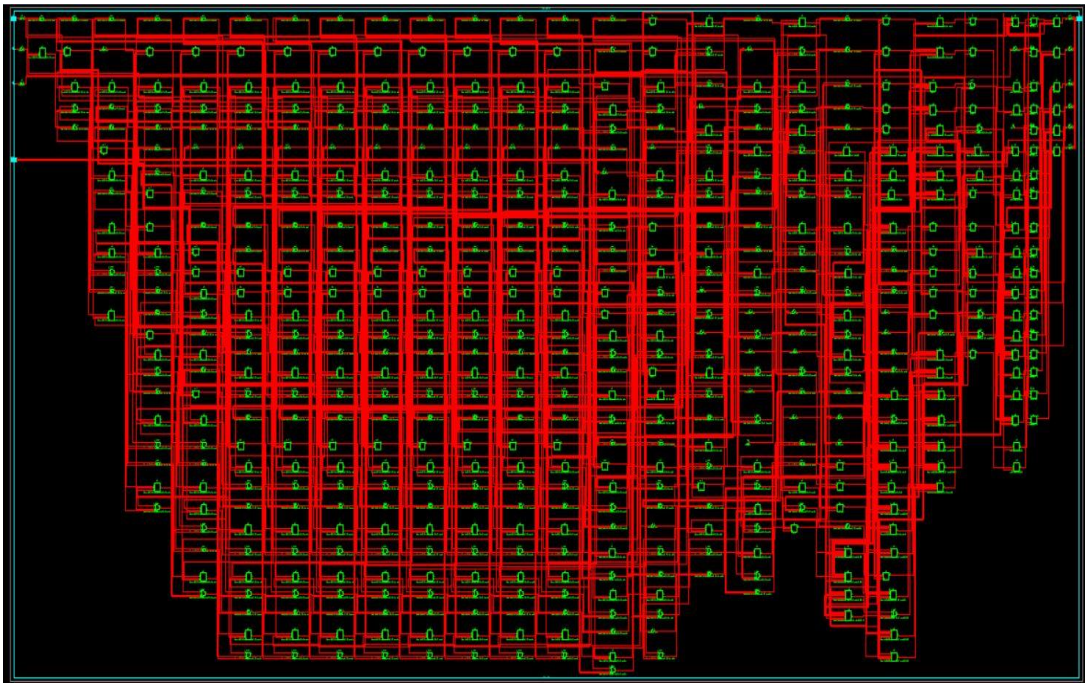
مقادیر SNDR مدولاتورهای LP و HP برای برآورده‌کردن الزامات ENOB برابر با ۱۶ بیت کافی است. بنابراین، می‌توان از این روش در ساختار نهایی مدولاتور استفاده کرد، در حالی که در حالتBP ، مقدار SNDR در مقایسه با نیاز ۱۶ بیتی ENOB بسیار پایین است. این وضعیت نامناسب به دلیل وجود سیگنال تصویر در داخل فرکانس باند عبور ایجاد می‌شود.



(ب) (الف)

شکل ۱۳: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت BP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 13. The output spectrum compensated by second-order FIR filter in BP mode with (a) 1% and (b) 2% DCE.



شکل ۱۴: گراف برای ساختار TI-DSM ۴ کاناله پس از جبران‌سازی به روش DCE در حالت‌های LP، BP و HP توسط فیلتر TI-FIR مرتبه دوم.
Figure 14. RTL graph for the DCE compensation of 4-Ch TI-DSM in LP, BP, and HP modes using the second-order TI-FIR filter

شکل ۱۴ گراف RTL[1] بدست آمده از ISE را پس از سنتز و اجرای کد VHDL برای ساختار ۴ کاناله TI-DSM پس از جبران‌سازی به روش DCE را در حالت‌های LP، BP و HP توسط فیلتر TI-FIR مرتبه دوم نشان می‌دهد. همانطور که در این گراف RTL نشان داده شده است، تعداد منابع سخت افزاری افزایش یافته و مسیرهای ارتباطی داخلی نیز پیچیده تر از حالت آرمانی شده‌اند.

۴-۳-روش پیشنهادی حذف اثر تصویر سیگنال در حالت BP

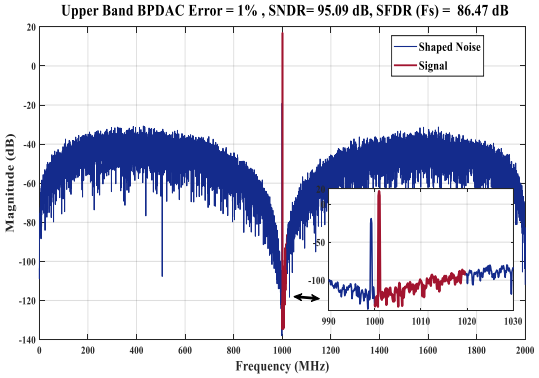
ساختار پیشنهادی برای سه فرکانس مرکزی خاص طراحی و پیاده‌سازی شده است. برای یک فرکانس مرکزی خاص، باید ضرایب TI-DSM تنظیم شود و یک فیلتر پس از TI-DSM با خروجی ۴ بیتی بر اساس فرکانس مرکزی انتخاب شود. روش پیشنهادی بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، فقط با یکطرفه کردن باند گذر سیگنال TI-DSM پهنای باند عبور را به دو طرف فرکانس مرکزی (Fs/۴) منتقل کرده و این بخش را به باند بالا و پایین تقسیم می‌کند. محدوده فرکانسی باند بالایی از ۱۰۰۰ تا ۱۰۲۰ مگاهرتز است، در حالی که محدوده فرکانسی باند پایینی بین ۹۸۰ تا ۱۰۰۰ مگاهرتز است. در حالت BP، دو فیلتر برای زیر باندهای بالا و پایین به طور جداگانه در نظر گرفته شده است. هنگامی که سیگنال ورودی در زیر باند پایینی قرار دارد، تصویر سیگنال در زیر باند بالایی است. با انتخاب باند حذف فیلتر برای زیر باند بالایی می‌توان اثر تصویر سیگنال را از بین برد. به طور مشابه، اگر سیگنال ورودی در زیر باند بالایی قرار داشته باشد، تصویر سیگنال در زیر باند پایینی قرار دارد. با انتخاب باند حذف فیلتر برای زیر باند پایین، می‌توان اثر تصویر سیگنال را کاهش داد. این رویکرد فیلتر سیگنال مناسب و حذف تصاویر سیگنال نامطلوب در باندهای فرعی مربوطه را تضمین می‌کند. به عبارت دیگر، در این روش برای حذف تصویر سیگنال، تنها به دو فیلتر با پهنای باند باریک‌تر در خروجی نیاز است.

[1] Register-Transfer Level

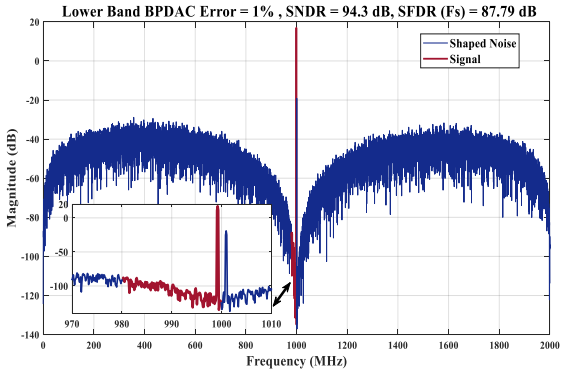
۴-۳-۱-شبیه‌سازی حذف اثر تصویر سیگنال در حالت BP

به‌منظور تایید کارآیی روش پیشنهادی مقدار خطای یک درصد DCE یک فیلتر TI-FIR مرتبه اول برای حالت BP پیاده‌سازی شده است. شکل ۱۵ طیف خروجی TI-DSM برای حالت BP با پهنای باند ۲۰ مگاهرتز از فرکانس ۱۰۰۰ تا ۱۰۲۰ مگاهرتز را نشان می‌دهد که مقادیر SNDR و SFDR به ترتیب ۹۵/۰۹ و ۸۶/۴۰ dB هستند. به طور متناظر در شکل ۱۶ طیف خروجی ساختار ۴ کاناله TI-DSM برای حالت BP و پهنای باند ۲۰ مگاهرتز از ۹۸۰ تا ۱۰۰۰ مگاهرتز نشان داده شده و مقادیر SNDR و SFDR به ترتیب برابر با ۹۴/۳۰ و ۸۷/۷۹ dB است.

نتایج شبیه‌سازی نشان می‌دهند که روش استفاده از فیلتر TI-FIR در جبران‌سازی DCE در حالت‌های LP و HP موثر است اما در حالت BP موفقیت چندانی در جبران DCE ندارد. در حالی که روش جبران‌سازی پیشنهادی در جبرانDCE حالت BP بسیار موثر بوده و نتایج را به طور چمشگیری بهبود می‌دهد تا حدی که به مقدار آرمانی نزدیک می‌شود. از آنجایی که در حالت BP مقدار SNDR پس از جبران‌سازی به روش پیشنهادی حدود ۹۵ dB بدست آمد، بنابراین تعداد بیت‌های موثر در حدود (ENOB) ۱۵/۵ بیت است. در جدول ۲ نتایج حاصل از شبیه سازی ها بطور خلاصه مقایسه شده است.



شکل ۱۵: طیف خروجی قسمت بالایی TI-DSM در حالت BP.
Figure 15.The upper part of the TI-DSM in BP mode.



شکل ۱۶: طیف خروجی قسمت پایینی TI-DSM در حالت BP.
Figure 16. The lower part of the TI-DSM in BP mode.

جدول ۲: مقادیر SNDR در واحد dB برای یک و ۲ درصد خطای DCE قبل و بعد از جبران‌سازی.
Table 2. SNDR values in dB for DCEs at 1% and 2% before and after compensation.

حالت DSM	TIDSM آرمانی	روش های جبران سازی	درصد خطای DCE	
			٪ ۱	٪ ۲
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۶۲/۲۵	۵۶/۲۳
		جبران سازی با فیلتر FIR مرتبه اول	۱۰۰/۶۰	۹۶/۱۲
		جبران سازی با فیلتر FIR مرتبه دوم	۱۰۶/۱۲	۱۰۶/۱۳
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۳۶/۰۷	۳۰/۰۵
		جبران سازی با فیلتر FIR مرتبه اول	۳۶/۰۷	۳۰/۰۵
		جبران سازی با فیلتر FIR مرتبه دوم	۳۶/۰۷	۳۰/۰۵
		روش پیشنهادی قسمت بالایی	۹۵/۰۹	---
		روش پیشنهادی قسمت پایینی	۹۴/۳۰	---
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۹۶/۷۸	۹۱/۳۰
		جبران سازی با فیلتر FIR مرتبه اول	۱۰۵/۳۵	۱۰۵/۳۴
		جبران سازی با فیلتر FIR مرتبه دوم	۱۰۴/۳۴	۱۰۵/۳۴

۴-۴- مقایسه منابع استفاده شده در روش‌های مختلف جبران‌سازی DCE

یکی از مسایل مهم در پیاده‌سازی TI-DSM ناحیه اشغالی تراشه است. در TI-DSM به دلیل وجود کانال‌های بهم‌ریخته زمانی فرکانس کاری کلی مدار افزایش می‌یابد. برای یک ساختار ۴ کاناله TI-DSM که در فرکانس Fs کار می‌کند، فرکانس هر کانال Fs/۴ است. در حالی که منابع سخت افزاری و پیچیدگی مدار افزایش چمشگیری می‌یابد. جدول ۳ منابع استفاده شده در هر یک از مدارهای آرمانی ، دارای خطای DCE با جبران سازی فیلتر TI-FIR مرتبه اول و مرتبه دوم را مقایسه می‌کند. مطابق جدول ۳ که یک گزارش واقعی ISE پس از سنتز موفقیت آمیز TI-DSM است، تعداد ثبات‌های مصرفی[1] برای حالت‌های آرمانی و جبران‌سازی مرتبه اول و دوم رشد ملایمی داشته است. تعداد زوج LUT-FF مصرف شده کامل[2] نیز برای حالت‌های آرمانی و جبران‌سازی فیلتر مرتبه اول و دوم رشد ناچیزی دارد. در حالی که تعداد LUT های مصرفی[3] از تعداد ۳۳۳ در آرمانی به تعداد ۳۸۵ در جبران‌سازی مرتبه اول می‌رسد، در حالت جبران‌سازی فیلتر مرتبه دوم کاهش قابل توجهی را تجربه کرده و به تعداد ۱۹۶ رسیده است. تعداد IOBهای متصل شده[4] و تعداد BUFG/BUFGCTRL[5] برای هر سه حالت تقریبا ثابت است. تعداد بیت‌های خروجی[6] در TI-DSM نیز متناسب با مرتبه فیلتر جبران‌ساز افزایش می‌یابد بطوری که از تعداد ۴ بیت در حالت آرمانی به ترتیب به تعداد ۵ و ۶ بیت می‌رسد. هر یک واحد افزایش مرتبه فیلتر منجر به افزایش یک بیت در خروجی مدولاتور می‌گردد (K+m). مطابق با تعداد منابع گزارش شده در جدول ۳ می‌توان نتیجه گرفت که منابع سخت افزاری استفاده شده در طرح پیشنهادی نه تنها در برخی موارد افزایش چشمگیری نیافته است، بلکه در مورد تعداد LUT های مصرفی به طور مشخصی کاهش یافته است.

جدول ۳: مقایسه منابع سخت افزاری دیجیتال استفاده شده در پیاده سازی TIDSM مرتبه دوم آرمانی و پس از جبران‌سازی خطای DCE.
Table 3. Comparison of used second-order TI-DSM in ideal case and after compensation.

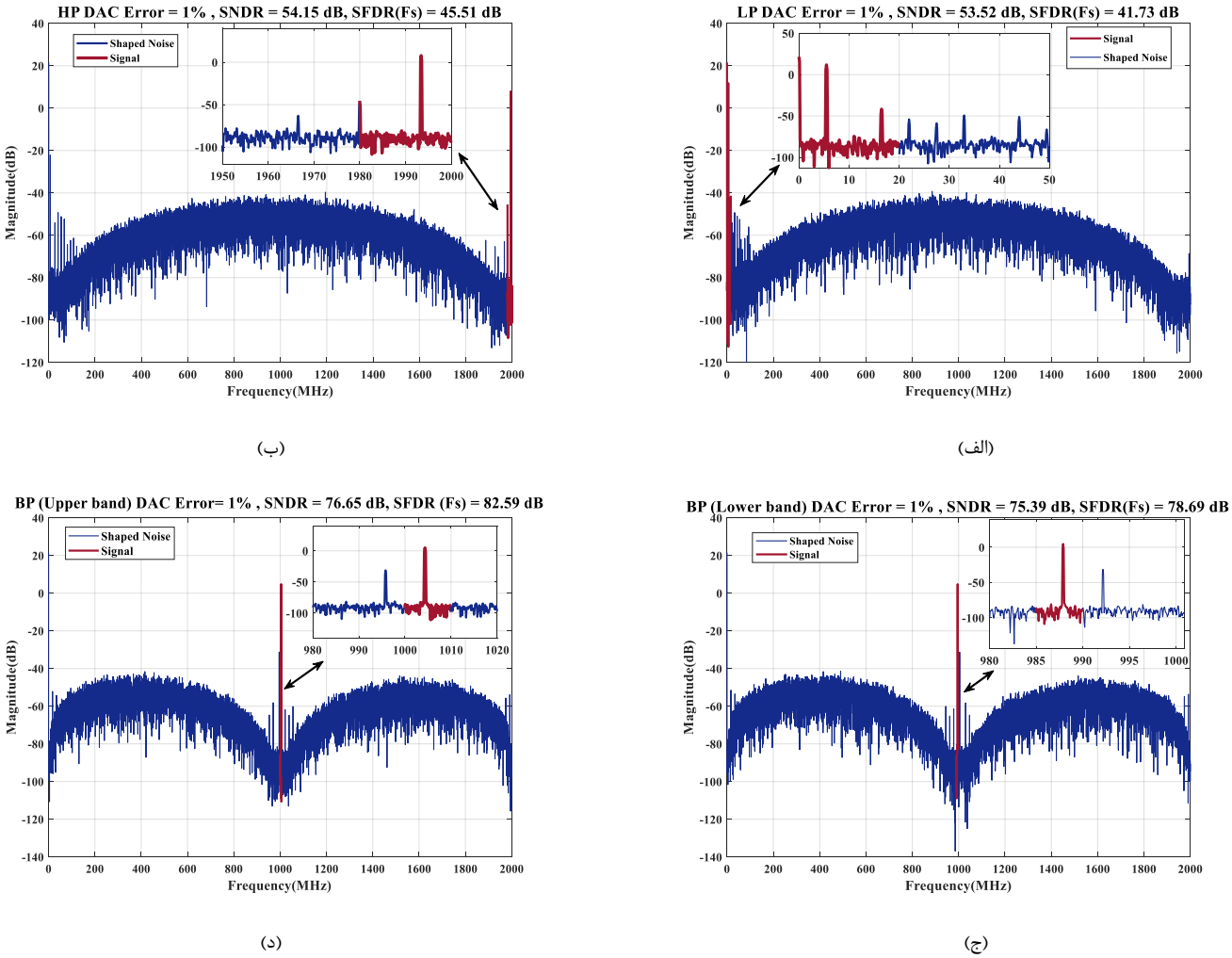
منابع سخت افزاری دیجیتال	بدون جبران سازی (آرمانی)	روش های جبران سازی	
		جبران سازی با فیلتر FIR مرتبه اول	جبران سازی با فیلتر FIR مرتبه دوم
تعداد ثبات‌های مصرفی	۷۶	۸۸	۹۲
تعداد LUT های مصرفی	۳۳۳	۳۸۵	۱۹۶
تعداد زوج LUT-FF مصرف شده کامل	۷۲	۷۹	۸۲
تعداد IOBهای متصل شده	۲۴	۲۵	۲۵
تعداد BUFG/BUFGCTRLها	۲	۲	۲
تعداد بیت‌های خروجی	۲	۵	۶

۵-خطای عدم تطابق سلول‌های DAC

دربخش قبل یک فیلتر FIR مرتبه دوم (m=۲) انتخاب شد و در این بخش تمام شبیه‌سازی ها بر اساس فیلتر مرتبه دوم انجام می‌شود. بنابراین تعداد بیت‌های خروجی کوانتایزر پس از جبران ۶ بیت (K+m=۶ بیت) است.

[1] Number of Slice Registration
[2] Number of Fully Used LUT-FF Pairs
[3] Number of Slice LUTs
[4] Number of bonded IOBs
[5] Number of BUFG/BUFGCTRLs
[6] Number of TI-DSM Output Bits

بلوک DAC حاوی چندین سلول وزنی است که با روشن یا خاموش کردن سلول ها، جریان یا ولتاژ خروجی DAC را تعیین می‌کند. در حین اجرای این عملیات سوئیچینگ به دلیل عدم تطابق کامل جریانی یا ولتاژی میان سلول‌ها ممکن است خطایی در مقدار وزن هر سلول رخ دهد که به آن خطای عدم تطابق سلول‌های DAC می‌گویند.



شکل ۱۷: طیف فرکانس TI-DSM مرتبه دوم با یک درصد خطای عدم تطابق سلول DAC.

Figure 17. Frequency spectrum of the second-order DSM with the DAC cell mismatch error of 1%.

۵-۱- مقایسه منابع استفاده شده در روش‌های مختلف جبران‌سازی DCE

به‌منظور شبیه‌سازی خطای عدم تطابق سلول‌های DAC در MATLAB، یک بلوک سلول DAC ۴ بیتی پس از قسمت DSM مدل‌سازی شده و مقادیر خطای یک درصد تا ۳ درصد به سلول ها اعمال می‌شود. نتایج شبیه سازی خطای یک درصد عدم تطابق سلول های DAC در شکل ۱۷ نشان داده شده است. در این مورد، مقدار SNDR برای مدولاتورهای LP، BP و HP به ترتیب برابر با ۵۳/۵۲، ۷۶/۶۵ و ۵۴/۱۵ dB است. جدول ۴ مقادیر SNDR را برای خطاهای ۱ تا ۳ درصد خلاصه کرده و نشان می‌دهد این خطا تا چه اندازه می‌تواند بر عملکرد DAC تأثیر بگذارد. همان‌طور که مشاهده می‌شود خطای عدم تطابق سلول‌های DAC باعث کاهش چشمگیر مقدار SNDR شده است.

جدول ۴: مقادیر SNDR برای درصدهای مختلف خطای عدم تطابق سلول‌های DAC با و بدون روش جبران‌سازی DWA.
Table 4. Simulation results of SNDR for different DAC error percentages with and without DWA compensation.

حالت DSM	DAC آرمانی	روش جبران سازی	درصد خطای عدم تطابق سلول های DAC		
			٪ ۱	٪ ۲	٪ ۳
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۵۳/۵۳	۳۹/۹۹	۳۶/۳۶
		جبران سازی DWA	۹۹/۸۵	۸۹/۲۳	۸۵/۷۶
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۷۶/۶۵	۴۷/۱۱	۴۳/۴۹
		جبران سازی DWA	۹۸/۳۱	۸۸/۳۳	۸۴/۹۴
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۵۴/۱۵	۴۹/۵۷	۴۵/۹۶
		جبران سازی DWA	۹۹/۰۶	۸۸/۲۴	۸۴/۷۹

۵-۲-جبران خطای عدم تطابق سلول‌های DAC

برای جبران خطای عدم تطابق سلول‌های DAC از روش تطبیق عنصر پویا (DEM) استفاده می‌شود[۳۲, ۳۳]. انواع مختلفی از روش های DEM وجود دارد. در ادامه دو روش مختلف DEM معرفی و استفاده می‌شود.

۵-۲-۱- روش میانگین‌گیری وزنی داده‌ها (چرخش عناصر)

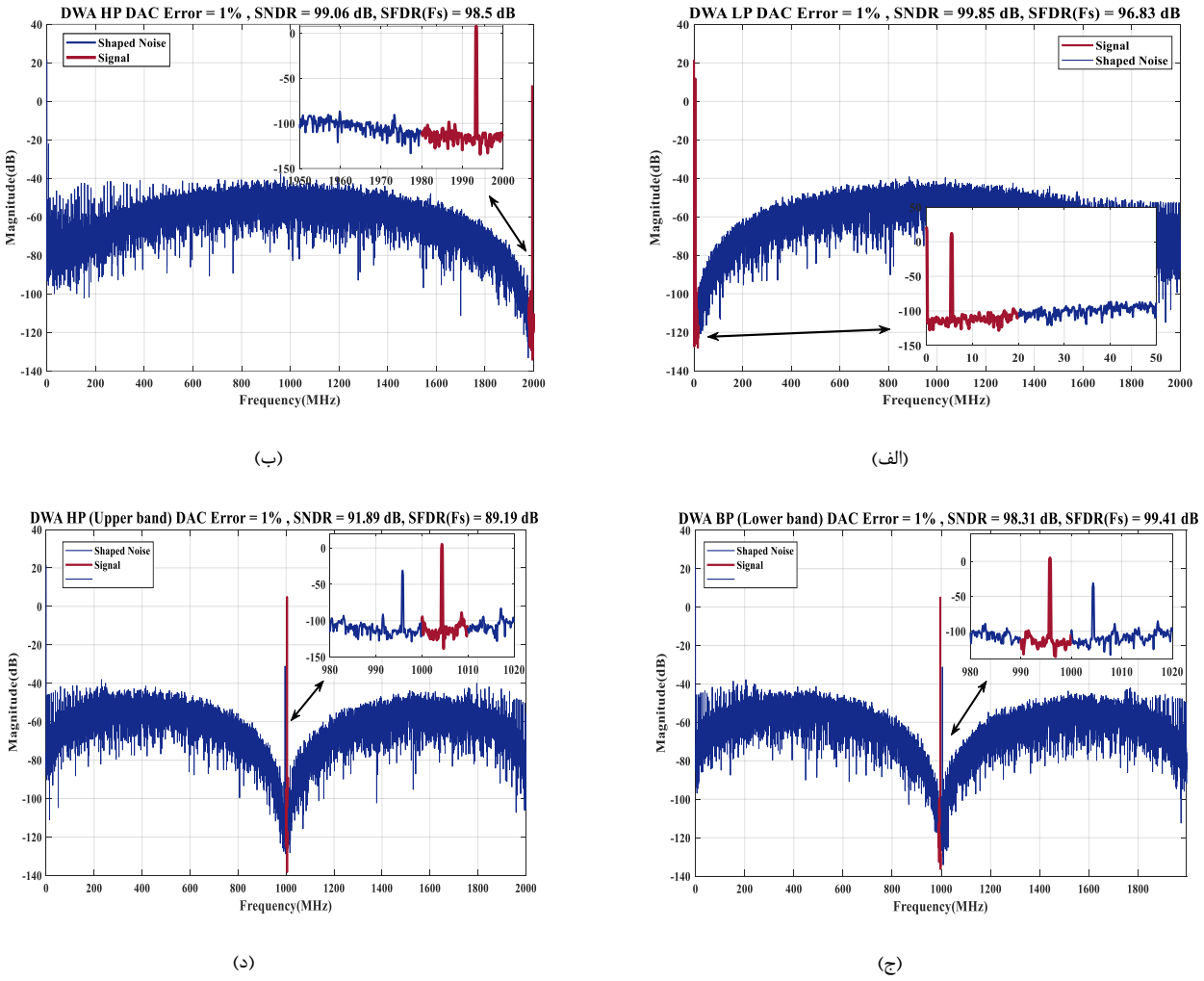
یکی از ساده‌ترین و در عین حال پر کاربردترین طرح‌های DEM، میانگین‌گیری وزن داده‌ها (DWA) است که عناصر واحد را به صورت دوره‌ای انتخاب می‌کند. ویژگی اصلی DWA توانایی آن در شکل‌دادن به طیف خطای عدم تطابق به عنوان یک فیلتر HP برای LP-DSM است [۳۲]. در LP-DSM، روش DWA به عنوان یک فیلتر HP و در HP-DSM، به عنوان یک فیلتر LP عمل می‌کند. در این روش لازم است تغییرات سلول‌های کد قبلی برای حالت‌های مختلف اعداد در حافظه نگه داشته شده تا موقعیت شروع و جهت چرخش در تکرارهای بعدی به درستی مشخص شود [۳، ۳۱].

۵-۲-۲- نتایج شبیه‌سازی جبران عدم تطابق با استفاده از DWA

نتایج شبیه‌سازی استفاده از روش DWA برای جبران خطاهای عدم تطابق ۱، ۲ و ۳ درصد سلول‌های DAC در حالت‌های LP، BP و HP در جدول ۴ نشان داده شده است. شکل ۱۸ طیف خروجی DAC را برای ۱ درصد خطای اعمال شده پس از جبران سازی نشان می‌دهد.

۵-۲-۳-روش مرتب‌سازی تطبیق عناصر پویا (DEM مبتنی بر برداری)

ایده فیلترکردن خطای DAC در حوزه دیجیتال توسط R. Schreier [3] معرفی شد. این رویکرد در ادبیات مبدل‌های داده به عنوان «تشکیل عدم تطابق مبتنی بر برداری» یا «مرتب‌سازی تطبیق عناصر پویا» (SDEM) [31] نامیده می‌شود. در این روش از فیلتری بر اساس فرکانس مرکزی DAC برای انتخاب سلول‌های فعال استفاده می‌شود.



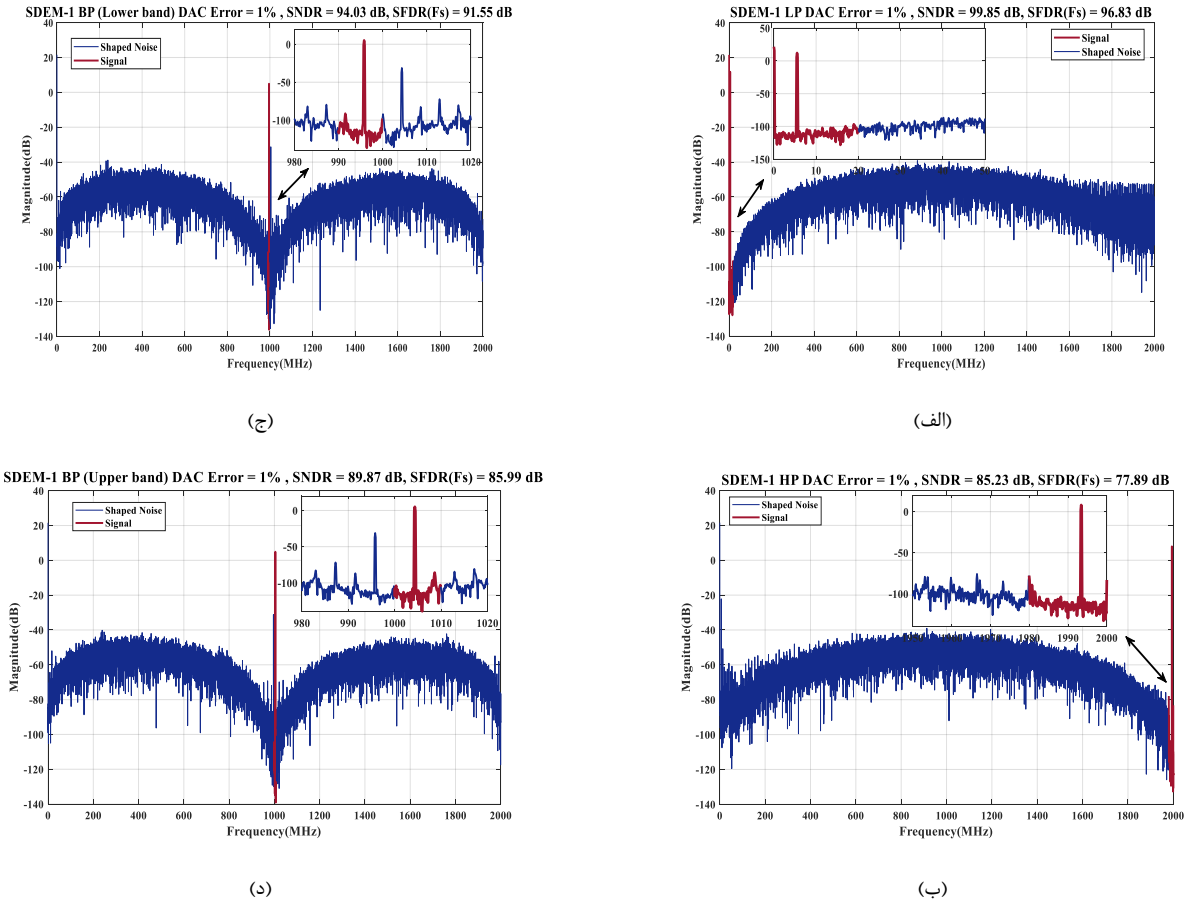
شکل ۱۸: طیف فرکانس خروجی جبران‌شده به روش DWA به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

Figure 18. Frequency spectrum of the second-order DSM with a DAC cell mismatch error of 1% and DWA compensation.

۵-۲-۴-نتایج شبیه‌سازی جبران عدم تطابق با استفاده از SDEM

نتایج شبیه‌سازی اثر خطای عدم تطابق سلول‌های DAC، اعمال روش SDEM با فیلتر مرتبه اول و فیلتر مرتبه دوم برای جبران خطاهای یک، ۲ و ۳ درصد عدم تطابق سلول‌های DAC در حالت‌های LP، BP و HP در جدول ۵ نشان داده شده است. شکل ۱۹ طیف خروجی DAC برای یک درصد خطای اعمال شده پس از جبران‌سازی به روش SDEM مرتبه اول را نشان می‌دهد.

شکل ۲۰ نتایج شبیه‌سازی و طیف خروجی DAC برای یک درصد خطای اعمالی عدم تطابق سلول‌های DAC به روش SDEM با فیلتر مرتبه دوم برای جبران خطاهای یک، ۲و ۳ درصد در حالت‌های LP، BP و HP نشان می‌دهد. با مقایسه نتایج روش‌های DWA و SDEM مرتبه اول و دوم می توان نتیجه گرفت که روش جبرانی مرتب‌سازی با فیلتر مرتبه دوم SNDR مورد نیاز را برای ۱۶ بیت ENOB فراهم می‌کند.



شکل۱۹: طیف فرکانس خروجی جبران‌شده به روش SDEM مرتبه اول به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

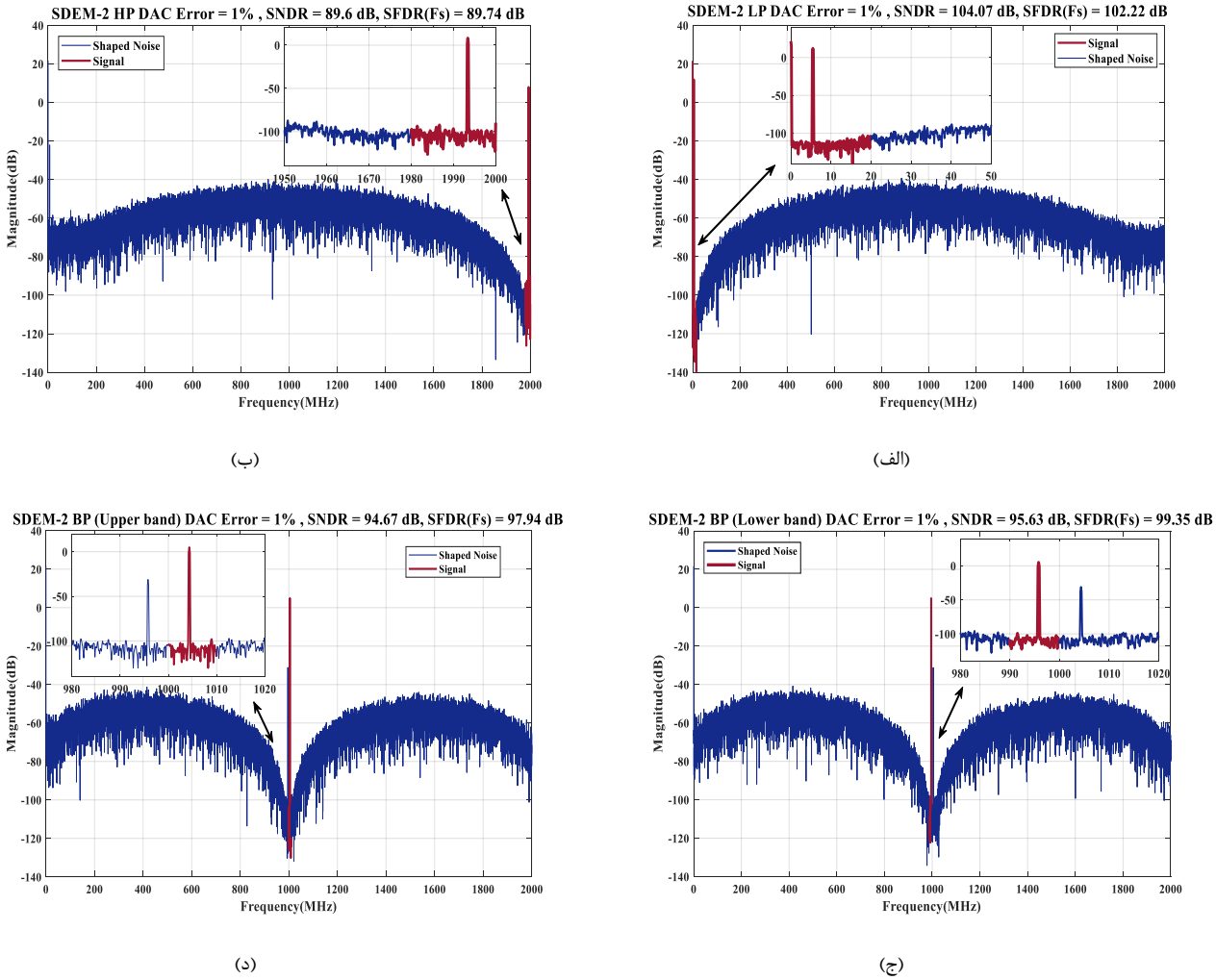
Figure 19. Frequency spectrum of the second-order DSM with 1% DAC cell mismatch error and compensation using the sorting method with a first-order filter.

جدول ۵: مقادیر SNDR برای درصدهای مختلف خطای عدم تطابق سلول های DAC بدون و با جبران سازی به روش SDEM مرتبه اول و دوم.

Table 5. SNDR values for 1%, 2%, and 3% DAC cell mismatch errors and compensation by first and second-order SDEM.

حالت DSM	DAC آرمانی	روش جبران سازی	درصد خطای عدم تطابق سلول های DAC		
			٪ ۱	٪ ۲	٪ ۳
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۵۳/۵۲	۳۹/۹۹	۳۶/۳۶
		مرتب سازی مرتبه اول	۹۹/۸۵	۹۰/۳۲	۸۶/۸۹
		مرتب سازی مرتبه دوم	۱۰۴/۰۷	۱۰۳/۵۰	۱۰۲/۲۱
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۷۶/۶۵	۴۷/۱۱	۴۳/۴۹
		مرتب سازی مرتبه اول	۹۴/۰۳	۷۹/۳۵	۷۵/۳۸
		مرتب سازی مرتبه دوم	۹۵/۶۳	۱۰۳/۲۵	۱۰۰/۹۸
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۵۴/۱۵	۴۹/۵۷	۴۵/۹۶
		مرتب سازی مرتبه اول	۸۵/۲۳	۷۴/۶۱	۷۱/۰۸
		مرتب سازی مرتبه دوم	۸۹/۶۰	۱۰۱/۶۸	۹۹/۷۵

شکل۲۱ منحنی محدوده‌ی پویایی[1] (DR) مربوط به DSM را برای حالت‌های LP، BP باند پایین، BP باند بالایی و HP برای جبران‌سازی روش DWA نشان می‌دهد. نتایج شبیه‌سازی نشان می‌دهد که مقادیر حداکثر DR برای حالت‌های LP، باند پایین BP، باند بالایی BP و HP به ترتیب برابر با ۱۰۰/۵۰، ۱۰۰/۱۰، ۹۹/۴۰ و ۹۳/۲۰ dB است.

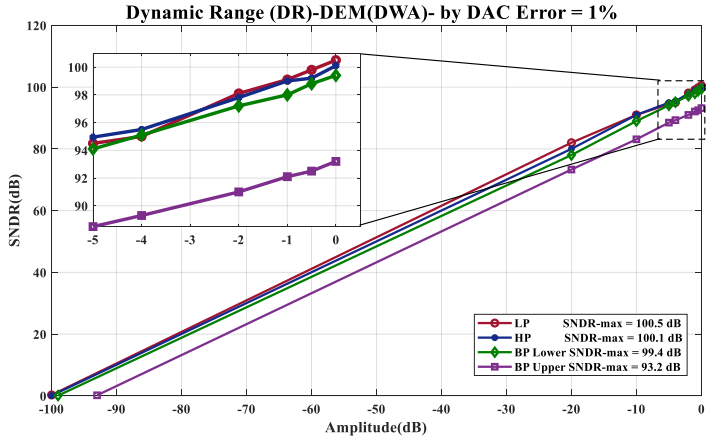


شکل ۲۰: طیف فرکانس خروجی جبران‌شده به روش SDEM مرتبه دوم به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

Figure 20. Frequency spectrum of the second-order DSM with 1% DAC cell mismatch error and compensation using the sorting method with a second-order filter.

[1] Dynamic Range

افزایش دامنه دینامیکی ورودی در یک سیستم مدولاتور دلتا-سیگما می تواند به طور قابل توجهی بر پارامترهای مختلف سیستم تأثیر بگذارد. در اینجا به برخی از تأثیرات اشاره شده است: نسبت سیگنال به نویز (SNR): محدوده دینامیکی گسترده‌تر می‌تواند SNR را بهبود بخشد، زیرا به سیستم اجازه می‌دهد تا سیگنال‌های بزرگ‌تر را بدون اعوجاج کنترل کند و در عین حال سطوح نویز کم را حفظ کند. وضوح کوانتایزر: ممکن است تعداد بیت‌های کوانتایزر افزایش یابد تا محدوده دینامیکی وسیع‌تری را در خود جای دهد، که می‌تواند وضوح و دقت سیستم را بهبود بخشد. نسبت نمونه برداری بیش از حد (OSR): با محدوده دینامیکی بالاتر، OSR را می توان بهینه کرد تا تعادل بین سرعت تبدیل وSNR ایجاد شود. مصرف توان: محدوده دینامیکی بالاتر اغلب به توان بیشتری نیاز دارد، به خصوص اگر وضوح کوانتایزر برای حفظ خطینگی در محدوده گسترده افزایش یابد. پیچیدگی مدار: پیچیدگی مدار ممکن است به دلیل نیاز به سخت افزار اضافی برای پردازش طیف وسیع تری از سیگنال های ورودی افزایش یابد. طراحی فیلتر: طراحی فیلترهای دیجیتال و آنالوگ در مدولاتور ممکن است نیاز به تنظیم داشته باشد تا بتواند طیف وسیع تری از سیگنال های ورودی را به طور موثر مدیریت کند.



شکل ۲۱: محدوده‌ی پویایی DSM پس از جبران سازی خطای عدم تطابق سلول های DAC به روش DWA برای حالت های LP، HP، قسمت پایینی BP و قسمت بالایی BP.

Figure 21. Dynamic range curve of DSM for LP, BP lower band, BP upper band, and HP modes using the DWA.

۶-نتیجه‌گیری

در این مقاله، یک مدولاتور دلتا سیگما درجه دوم (DSM) ۱۶ بیتی چند حالته با ساختار TI در فرکانس ۴ گیگاهرتز و با پهنای باند ۲۰ مگاهرتز به زبان VHDL ومبتنی بر FPGA پیاده‌سازی شد. معماری پیشنهادی تنها از یک فرکانس ساعت برای تولید سیگنال‌های فرکانس رادیویی (RF) استفاده می‌کند. مدولاتور دلتا سیگما درجه دوم با توانایی تنظیم مجدد دارای سه حالت پایین‌گذر (LP)، میان‌گذر (BP) در فرکانس Fs/4 و بالاگذر (HP) برای سنتز سیگنال است. برای افزایش فرکانس نمونه‌برداری (Fs)، ساختار بهم‌ریخته زمانی (TI) ۴ کاناله پیشنهاد شد. هر کدام از کانال‌ها در فرکانس Fs/۴ کار می‌کنند. از آنجایی که ضرایب ساده برای همه حالت‌ها وجود دارد، عملیات ضرب با استفاده از یک بلوک شیفتر انجام شد. این امر منجر به ساده‌سازی طراحی، مصرف انرژی کمتر، منطقه اشغالی کوچک‌تر و سرعت بالاتر شده است. یک چالش مهم در طراحی این نوع ساختارها، خطای چرخه وظیفه (DCE)، به ویژه در حالت بهم‌ریختگی زمانی است. به‌منظور بررسی اثر DCE و جبران‌سازی آن مقادیر خطای مختلف به مدولاتور اعمال و جبران‌سازی انجام شد. در این مقاله، با تنظیم مدار فیلتر و یک‌طرفه کردن باند فرکانسی عبور سیگنال بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، برای غلبه بر اثر خطای DCE، راه‌حل جدیدی پیشنهاد شد. در این روش با حذف اثر تصویر سیگنال مقادیر SNDR و SFDR خروجی مدولاتور دلتا-سیگما حتی برای حالت BP به طور قابل توجهی افزایش یافت. روش استفاده از فیلتر TI-FIR در جبران‌سازی DCE در حالت‌های LP و HP موثر است، اما در

حالت BP موفقیت چندانی در جبران DCE ندارد. در حالی که روش جبران‌سازی پیشنهادی در جبرانDCE حالت BP بسیار موثر بوده و نتایج را به طور چمشگیری بهبود می‌دهد تا حدی که به مقدار آرمانی نزدیک می شود. از آنجایی که در حالت BP مقدار SNDR پس از جبران‌سازی به روش پیشنهادی حدود ۹۵ dB بدست آمد، بنابراین تعداد بیت‌های موثر (ENOB) ۱۵/۵ بیت است. چالش دیگری که برآن غلبه شد، خطای عدم تطابق سلول های DAC است. در این پژوهش این خطا به دو روش DWA و SDEM شبیه‌سازی و جبران‌سازی شد. نتایج شبیه‌سازی در ISE نشان داد که مقدار نسبت سیگنال به نویز و اعوجاج (SNDR) برای حالت‌های LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB است.

مراجع

[1] J. Mitola, "The software radio architecture," in *IEEE Communications Magazine*, vol. 33, no. 5, pp. 26-38, May 1995, doi: 10.1109/35.393001.

[2] J. Mitola, "Cognitive Radio Architecture Evolution," in *Proceedings of the IEEE*, vol. 97, no. 4, pp. 626-641, April 2009, doi: 10.1109/JPROC.2009.2013012.

[3] S. Pavan, R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.

[4] A. Mahmoudi, P. Torkzadeh and M. Dousti, "A 5-bit 1.8 GS/s ADC-based receiver with two-tap low-overhead embedded DFE in 130-nm CMOS," *AEU - International Journal of Electronics and Communications*, vol. 89, pp. 6-14, 2018, doi: 10.1016/j.aeue.2018.03.005.

[5] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz Bandwidth Interleaved ΔΣ DAC for 60 GHz Radio in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 10, pp. 2306-2318, 2015, doi: 10.1109/JSSC.2015.2460375.

[6] P. T. M. V. Zeijl and M. Collados, "On the Attenuation of DAC Aliases Through Multiphase Clocking," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 3, pp. 190-194, 2009, doi: 10.1109/TCSII.2009.2015365.

[7] A. Silva, J. Guilherme and N. Horta, "Reconfigurable multi-mode sigma–delta modulator for 4G mobile terminals," *Integration*, vol. 42, no. 1, pp. 34-46, 2009, doi: 10.1016/j.vlsi.2008.07.004.

[8] S. Luschas, R. Schreier and Hae-Seung Lee, "Radio frequency digital-to-analog converter," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 9, pp. 1462-1467, Sept. 2004, doi: 10.1109/JSSC.2004.829377.

[9] A. Jerng and C. G. Sodini, "A Wideband ΔΣ Digital-RF Modulator for High Data Rate Transmitters," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 8, pp. 1710-1722, Aug. 2007, doi: 10.1109/JSSC.2007.900255.

[10] M. S. Alavi, G. Voicu, R. B. Staszewski, L. C. N. de Vreede and J. R. Long, "A 2×13-bit all-digital I/Q RF-DAC in 65-nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Seattle, WA, USA, 2013, pp. 167-170, doi: 10.1109/RFIC.2013.6569551.

[11] P. E. Paro Filho, M. Ingels, P. Wambacq and J. Craninckx, "9.3 A transmitter with 10b 128MS/S incremental-charge-based DAC achieving −155dBc/Hz out-of-band noise," *IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 2015, pp. 1-3, doi: 10.1109/ISSCC.2015.7062977.

[12] A. Mahmoudi, P. Torkzadeh and M. Dousti, "A 6-Bit 1.5-GS/s SAR ADC With Smart Speculative Two-Tap Embedded DFE in 130-nm CMOS for Wireline Receiver Applications," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 29, no. 5, pp. 871-882, 2021, doi: 10.1109/TVLSI.2021.3056316.

[13] A. Pozsgay, T. Zounes, R. Hossain, M. Boulemnakher, V. Knopik and S. Grange, "A Fully Digital 65nm CMOS Transmitter for the 2.4-to-2.7GHz WiFi/WiMAX Bands using 5.4GHz ΔΣ RF DACs," *IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, USA, 2008, pp. 360-619, doi: 10.1109/ISSCC.2008.4523206.

[14] S. Balasubramanian and W. Khalil, "Architectural trends in GHz speed DACs," *NORCHIP*, Copenhagen, Denmark, 2012, pp. 1-4, doi: 10.1109/NORCHP.2012.6403097.

[15] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. V. Roermund, "9.6 A 5.3GHz 16b 1.75GS/S wideband RF Mixing-DAC achieving IMD<-82dBc up to 1.9GHz," in *IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, Feb. 2015, pp. 1-3, doi: 10.1109/ISSCC.2015.7062980.

[16] B. Razavi, "The future of radios," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, Portugal, 2015, pp. 1-8, doi: 10.1109/ISCAS.2015.7168556.

[17] S. Balasubramanian et al., "Ultimate Transmission," in *IEEE Microwave Magazine*, vol. 13, no. 1, pp. 64-82, Jan.-Feb. 2012, doi: 10.1109/MMM.2011.2173983.

[18] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. v. Roermund, "Systematic analysis of the impact of mixing locality on Mixing-DAC linearity for multicarrier GSM," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 20-23 May 2012, pp. 241-244, doi: 10.1109/ISCAS.2012.6271784.

[19] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. V. Roermund, "A novel timing-error based approach for high speed highly linear Mixing-DAC architectures," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 1-5 June 2014, pp. 942-945, doi: 10.1109/ISCAS.2014.6865292.

[20] M. R. Sadeghifar, H. Bengtsson, J. J. Wikner and O. Gustafsson, "Direct digital-to-RF converter employing semi-digital FIR voltage-mode RF DAC," *Integration*, vol. 66, pp. 128-134, 2019, doi: 10.1016/j.vlsi.2019.02.005.

[21] S. Balasubramanian *et al.*, "Systematic Analysis of Interleaved Digital-to-Analog Converters," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 58, no. 12, pp. 882-886, 2011, doi: 10.1109/TCSII.2011.2172526.

[22] J. J. McCue *et al.*, "A Time-Interleaved Multimode Delta Sigma RF-DAC for Direct Digital-to-RF Synthesis," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 5, pp. 1109-1124, 2016, doi: 10.1109/JSSC.2016.2521903.

[23] J. Pham and A. C. Carusone, "A Time-Interleaved Delta Sigma-DAC Architecture Clocked at the Nyquist Rate," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 9, pp. 858-862, 2008, doi: 10.1109/TCSII.2008.923426.

[24] D. Jiang, L. Qi, S. W. Sin, F. Maloberti and R. P. Martins, "A Time-Interleaved 2^{nd} -Order ΔΣ Modulator Achieving 5-MHz Bandwidth and 86.1-dB SNDR Using Digital Feed-Forward Extrapolation," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 8, pp. 2375-2387, 2021, doi: 10.1109/JSSC.2021.3060859.

[25] S. Su, T. Tsai, P. K. Sharma and M. S. Chen, "A 12 bit 1 GS/s Dual-Rate Hybrid DAC With an 8 GS/s Unrolled Pipeline Delta-Sigma Modulator Achieving > 75 dB SFDR Over the Nyquist Band," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 4, pp. 896-907, 2015, doi: 10.1109/JSSC.2014.2385752.

[26] O. Eng Hwee, J. Kneckt, O. Alanen, Z. Chang, T. Huovinen and T. Nihtilä, "IEEE 802.11ac: Enhancements for very high throughput WLANs," in *IEEE 22nd International Symposium on Personal, Indoor and Mobile Radio Communications*, 11-14 Sept. 2011, pp. 849-853, doi: 10.1109/PIMRC.2011.6140087.

[27] *High Rate 60 GHz PHY*, E.-. MAC and PALs, 2nd Edition, Dec. 2010.

[28] *Wireless HD Specification V1.1 Overview*, W. H. S. V. Overview, 2010.

[29] Y. Huo, X. Dong and W. Xu, "5G cellular user equipment: From theory to practical hardware design," *IEEE Access*, vol. 5, pp. 13992-14010, 2017, doi: 10.1109/ACCESS.2017.2727550.

[30] H. A. Ameen *et al.*, "A 28 GHz four-channel phased-array transceiver in 65-nm CMOS technology for 5G applications," *AEU-International Journal of Electronics and Communications*, vol. 98, pp. 19-28, 2019, doi: 10.1016/j.aeue.2018.10.008.

[31] R. López-Holloway and M. García, "A lowcomplexity data weighterd averaging (DWA) algorithm implementation," in *The XIII Workshop IBERCHIP IWS Workshop, Lima, Peru*, 2007.

[32] N. A. Esmaeil, "New Techniques for Dynamic Matching in a Multi-Bit DAC For Sigma-Delta Converters," Doctoral Doctoral Information Sciences and Technologies of Telecommunications and Systems, 2006.

[33] D. Li, C. Fei and Q. Zhang, "Analysis and Design of Low-Complexity Stochastic DEM Encoder for Reduced-Distortion Multi-bit DAC in Sigma-Delta Modulators," *Circuits, Systems, and Signal Processing*, vol. 40, no. 1, pp. 296-310, 2021, doi: 10.1007/s00034-020-01470-2.

[34] H. Li *et al.*, "Real-Time 100-GS/s Sigma-Delta Modulator for All-Digital Radio-Over-Fiber Transmission," *Journal of Lightwave Technology*, vol. 38, no. 2, pp. 386-393, 2020, doi: 10.1109/JLT.2019.2931549.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0