

طراحی یک فیلتر چند حالته Gm-C با توان مصرفی پایین در ناحیه زیر آستانه

محمد آقایی جشوقانی^(۱) - مهدی دولتشاهی^(۲)

(۱) کارشناس ارشد - دانشکده برق، دانشگاه آزاد اسلامی واحد نجف آباد

(۲) استادیار - دانشکده برق، دانشگاه آزاد اسلامی واحد نجف آباد

تاریخ پذیرش: تابستان ۱۳۹۲

تاریخ دریافت: پاییز ۱۳۹۱

خلاصه: در این مقاله یک فیلتر Gm-C چند حالته (universal) مرتبه‌ی دو با قابلیت دریافت تمامی پاسخ‌های فیلتری (پایین گذر، بالاگذر، میان گذر، میان نگذر و تمام گذر)، تنظیم الکترونیکی فرکانس مرکزی (ω_0) و ضریب کیفیت (Q) و عملکرد در چهار مد (ولتاژ، جریان، ترانسانایی و ترامقاومتی) مبتنی بر اینورتر (بلوک ترانسانایی) با بایاس شدن ترانزیستورها در ناحیه زیرآستانه (Sub Threshold) ارائه شده است. بایاس کردن ترانزیستورها در ناحیه زیرآستانه باعث کاهش مؤثر توان مصرفی فیلتر ارائه شده می‌گردد. استفاده از خازن‌های زمین شده به منظور کاهش اثرات پارازیتیکی از جمله ویژگی‌های مدار طراحی شده محسوب می‌شود. حساسیت کم فرکانس مرکزی و ضریب کیفیت نسبت به ترانسانایی‌ها و خازن‌ها نیز ویژگی‌های دیگر مدار پیشنهادی است. همچنین استفاده از اینورتر سبب کاهش مؤثر تعداد ترانزیستورهای لازم برای تحقق مدار فیلتر و توان مصرفی فیلتر می‌گردد. سرانجام عملکرد فیلتر پیشنهاد شده در تکنولوژی CMOS $0.18 \mu\text{m}$ (LEVEL49) شبیه‌سازی و مورد ارزیابی قرار گرفت. فیلتر پیشنهاد شده دارای توان مصرفی 64.69 nW و منبع تغذیه $\pm 0.3\text{V}$ است.

کلمات کلیدی: فیلتر چند حالته، اینورتر، زیر آستانه، Gm-C، CMOS.

Design of a Low-Power Universal Gm-C Filter in Sub-Threshold Region

Mohamad Aghaei Jeshvaghani⁽¹⁾ – Mehdi Dolatshahi⁽²⁾

(1) MSc - Department of Electrical Engineering, Najafabad Branch, Islamic Azad University

(2) Assistant Professor - Department of Electrical Engineering, Najafabad Branch, Islamic Azad University

In this paper, a second order universal filter with the ability of electronically tuning central frequency (ω_0) and quality factor (Q), based on the inverter as transconductance block which realizes multi-mode responses (voltage, current, transconductance, transresistance) in sub-threshold region, is presented. Biasing transistors in sub-threshold region, reduces the power consumption of the proposed filter and the grounded capacitors are used to reduce the parasitic effects which is another advantage of the proposed filter circuit. Furthermore, low sensitivity of the performance of the proposed filter to the values of g_{m_i} , C_i is considered as another advantage of the proposed circuit. In addition, realizing the proposed filter based on the inverter circuit leads to a reduced value of layout area as well as power consumption. Finally, the proposed filter performance is simulated in HSPICE using $0.18 \mu\text{m}$ (LEVEL49) CMOS technology parameters. As it is shown in the paper, the proposed filter consumes only 64.69 nW power in a $\pm 0.3\text{V}$ supply voltage.

Index Terms: Universal Filter, inverter, sub-threshold, Gm-C, CMOS.

۱- مقدمه

فیلترهای زمان پیوسته از مهمترین قسمت‌های یک سیستم آنالوگ می‌باشند. استفاده از فیلتر غیر فعال (ترکیب خازن، القاگر و مقاومت) جهت تحقق فیلتر آنالوگ سبب افزایش سطح اشغالی و نویز پذیری بالا می‌شود. بهره‌گیری از فیلترهای Gm-C منجر به رفع مشکلات یاد شده می‌گردد. فیلتر Gm-C از دو قسمت بلوک ترانسسانایی (Gm) و خازن (C) تشکیل شده است. در بلوک ترانسسانایی جریان خروجی I_o تابعی از اختلاف ولتاژ ورودی است: $I_o = g_m(V_1 - V_2)$ که g_m میزان ترانسسانایی بلوک Gm است. با ترکیب‌های گوناگون Gm و C می‌توان فیلترهای متفاوتی را ارائه نمود. این فیلترها نقش بسیار مهمی در کاربردهای فراوان همانند: سیستم‌های مخابراتی [۱]، تجهیزات پزشکی قابل کاشت در داخل بدن [۲] و تجهیزات قابل حمل [۳] را دارا می‌باشند. فیلترهای Gm-C از بهترین انواع تحقق فیلترهای زمان پیوسته هستند. تعدادی از فیلترهایی که بر اساس Gm-C طراحی شده‌اند در مراجع [۱-۵] گزارش شده است. استفاده از فیلترهای چند حالتی [۶-۹]، به این منظور که بتوانند با یک توپولوژی واحد تمامی حالات فیلتری را پیاده‌سازی و تحقق دهند، مورد توجه طراحان آنالوگ قرار گرفته است. تعدادی از فیلترهای چند حالتی با قابلیت کار در مدهای (ولتاژ voltage، جریان current، ترانسسانایی transconductance و ترامقاومتی transresistance) در مراجع [۷-۹] پیشنهاد شده‌اند. آن‌جا که این فیلترها می‌توانند با یک ساختار واحد تمامی مدهای کاری را در اختیار قرار دهند سبب کاهش سطح فضای اشغال شده تراشه و همچنین کاهش مؤثر توان مصرفی مدار فیلتری خواهند شد. در مقالات [۱۰-۱۲] فیلترهای Gm-C بر اساس ترانسسانایی اینورتر PMOS و NMOS تشکیل شده است که این امر سبب کاهش مؤثر سطح فضای اشغال شده تراشه و توان مصرفی مدار خواهد شد. همچنین به علت کم بودن خازن‌های پارازیتیکی در اینورتر، کار در فرکانس‌های بالا از جمله ویژگی‌های فیلترهای مبتنی بر اینورتر می‌باشد. کاهش توان مصرفی مدارهای فیلتری، پاسخ‌گویی به یکی از نیازهای اساسی طراحان مدارهای مجتمع آنالوگ می‌باشد. بنابراین استفاده از بایاس ترانزیستورها در ناحیه زیرآستانه [۱۳-۱۴] از مؤثرترین روش‌ها برای کاهش قابل توجه توان مصرفی مدارهای فیلتر Gm-C است. دو فیلتر دو مجذوری چند حالتی با قابلیت کار در مدهای جریان و ترانسسانایی و دو خازن زمین شده در [۱۵] پیشنهاد شده است. اما تنها در دو مد جریان و ترانسسانایی کارایی دارد. در [۸] یک فیلتر Gm-C چند حالتی با مد ترکیبی با تعداد هفت OTA و دو خازن زمین شده ارائه شده است. استفاده از تعداد زیادی OTA که منجر به افزایش توان مصرفی می‌شود مشکل [۸] می‌باشد. Pai و Chang در [۱۶] یک فیلتر Gm-C چند حالتی با قابلیت کار در مد جریان پیشنهاد کرده‌اند. مشکل اساسی

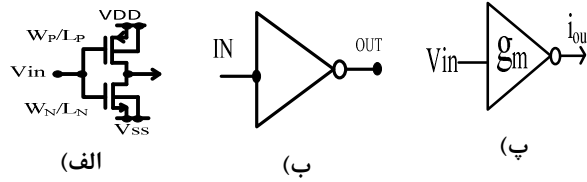
[۱۶] تنها کارایی در مد جریان می‌باشد. برای تحقق فیلتر پایین گذر مبتنی بر اینورتر در [۱۰] و [۱۲] به ترتیب استفاده از ۶۴ و ۱۲۸ ترانزیستور لازم می‌باشد، که این تعداد ترانزیستور سبب افزایش قابل توجه توان مصرفی و سطح فضای اشغال شده مدار فیلتر می‌شود. تعداد زیاد ترانزیستور برای تحقق مدار فیلتری از مشکلات اساسی فیلترهای ارائه شده در [۹-۴] و [۱۶-۱۵] است. فیلتر Gm-C چند حالتی دو مجذوری پیشنهاد شده در این مقاله با مد چندتایی دارای ویژگی‌های زیر است: ۱- دریافت پاسخ‌های فیلتری: پایین گذر (LP) Low-Pass، بالا گذر (HP) High-Pass، میان گذر (BP) Band Pass، میان گذر (BR) Reject-Band و تمام گذر (AP) All-Pass با استفاده از یک ساختار واحد، ۲- امکان فعالیت در چهار مد: جریان، ولتاژ، ترانسسانایی و ترامقاومتی بدون استفاده از هیچ‌گونه مبدل جریان به ولتاژ و بالعکس و با استفاده از یک ساختار ثابت، ۳- استفاده از خازن‌های زمین شده به سبب کاهش اثرات پارازیتیکی، ۴- تنظیم الکترونیکی ω_0 و Q، ۵- حساسیت پایین ω_0 و Q به ترانسسانایی‌ها و خازن‌های فیلتر، ۶- استفاده از ترانسسانایی اینورتر به منظور حداقل فضای اشغال شده و توان مصرفی مدار فیلتر، ۷- بایاس کردن ترانزیستورها در ناحیه زیرآستانه برای کاهش قابل توجه توان مصرفی مدار فیلتر. این مقاله به صورت زیر دنبال می‌شود: در بخش (۲) مدار پیشنهادی به همراه توضیحات ارائه شده است. اثرات نویز در مدار فیلتر در بخش (۳) بررسی شده است. در بخش (۴) نتایج شبیه‌سازی برای مدار پیشنهادی توسط HSPICE ارائه گردیده است. مقایسه عملکرد مدار پیشنهاد شده با سایر کارهای قبلی در بخش (۵) بیان شده است. سرانجام نتیجه‌گیری در بخش (۶) ذکر شده است.

۲- توپولوژی مدار پیشنهاد شده

اینورترها در مدارهای دیجیتال و آنالوگ کاربردهای فراوان دارند. شکل (۱-الف) نمایش نوعی و شکل (۱-ب) نمایشگر متداول آن می‌باشد. در شکل (۱-الف)، W_N و W_P و L_N و L_P به ترتیب عرض کانال، (طول کانال) ترانزیستور NMOS و PMOS است. همچنین که در شکل (۱-پ) مشخص است، موقعی که اینورتر به عنوان ترانسسانایی (Gm) استفاده می‌شود ارتباط بین ورودی v_{in} و جریان خروجی i_{out} به صورت $i_{out} = -g_m v_{in}$ حاصل می‌گردد، که در آن، $g_m = g_{mn} + g_{mp}$ مجموع ترانسسانایی دو ترانزیستور PMOS (g_{mp}) و NMOS (g_{mn}) است.

جریان عبوری از درین ترانزیستور بایاس شده در ناحیه زیرآستانه از (۱) حاصل می‌گردد.

$$I_{D_{SUB}} = I_0 \left(\frac{W}{L} \right) e^{(V_{GS}/xV_T)} (1 - e^{(-V_{DS}/V_T)}) \quad (1)$$



شکل (۱): الف: نمایش نوعی اینورتر، ب: نمایش متداول اینورتر، پ: نمایش ترانسایبیلی اینورتر

Fig. (1): CMOS inverter. (a) Transistor configuration, (b) Universal symbol, (c) transconductance operation

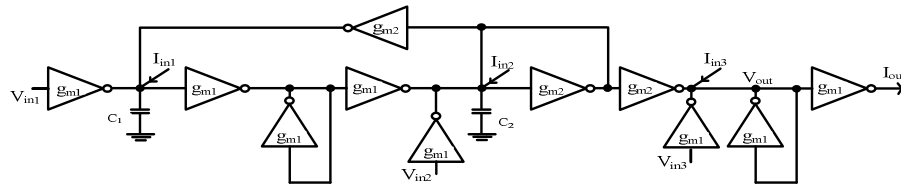
در (۱) عرض کانال، L طول کانال، I_0 وابسته به فرآیند ساخت، ξ ضریب شیب در ناحیه زیر آستانه و V_T ولتاژ گرمایی است. اگر $V_{DS} > 4V_T$ آنگاه $1 - e^{(-V_{DS}/V_T)} \approx 1$ و جریان درین ترانزیستور مستقل از ولتاژ درین-سورس خواهد شد. میزان ترانسایبیلی اینورتر در ناحیه زیر آستانه از (۲) به دست می‌آید:

$$g_m = \left(\frac{1}{\xi V_T}\right) I_{D_{SUBn}} + \left(\frac{1}{\xi V_T}\right) I_{D_{SUBp}} \quad (2)$$

همچنین مجموع نویز گرمایی و نویز فیلکر ارجاع شده به ورودی در یک اینورتر مطابق رابطه (۳) به دست می‌آید.

$$\frac{2}{V_{n,in}} = \frac{4\gamma K T}{(g_{m_n} + g_{m_p})} + \frac{\kappa \left[\frac{g_{m_n}^2}{(WL)_n} + \frac{g_{m_p}^2}{(WL)_p} \right]}{C_{OX} f (g_{m_n} + g_{m_p})^2} \quad (3)$$

جایی که در آن γ پارامتر نویز در ناحیه زیر آستانه، K ثابت بولتزمن، K ضریب ثابت وابسته به فرآیند ساخت، C_{OX} خازن گیت-اکسید بر واحد سطح و f فرکانس کاری است. مدار $Gm-C$ فیلتر چند حالتی دو مجذوری پیشنهاد شده، در شکل (۲) مشاهده می‌شود.



شکل (۲): فیلتر پیشنهادی

Fig. (2): The proposed filter

همان‌گونه که از شکل (۲) مشخص است، تنها با ۱۱ اینورتر یا ۲۲ ماسفت که کمترین سطح فضای اشغال شده تراشه و کاهش مؤثر توان مصرفی را دارا است، یک فیلتر $Gm-C$ چند حالتی با قابلیت تنظیم الکترونیکی و عملکرد در تمامی مدهای کاری تحقق یافته است. با توجه به شکل (۲) $I_{in1}, I_{in2}, I_{in3}$ جریان‌های ورودی و $V_{in2}, V_{in3}, V_{in1}$ ولتاژهای ورودی فیلتر و I_{out} جریان خروجی و V_{out} ولتاژ خروجی فیلتر می‌باشد. تجزیه و تحلیل مدار فیلتر و تابع تبدیل‌ها از روابط زیر حاصل می‌گردد:

در رابطه‌های (۶-۸) نشان دهنده حوزه لاپلاس است. با توجه به معادلات (۸-۶) دریافت پاسخ‌های فیلتری در مدهای متفاوت کاری به صورت زیر دنبال می‌شود:

مد جریان و مد ترانسایبیلی:

اگر $V_{in1} = V_{in2} = V_{in3} = 0$ آنگاه پاسخ‌های فیلتری به صورت زیر است:

الف) پایین گذر: تنها $I_{in1} = I_{in}$ آنگاه

$$\frac{I_{out}(LP)}{I_{in}} = \frac{g_{m1}g_{m2}}{D(S)}$$

ب) میان گذر: تنها $I_{in2} = I_{in}$ آنگاه

$$\frac{I_{out}(BP)}{I_{in}} = \frac{g_{m2}SC_1}{D(S)}$$

پ) بالا گذر: $I_{in1} = I_{in2} = I_{in3} = I_{in}$ آنگاه

$$\frac{I_{out}(HP)}{I_{in}} = -\frac{S^2C_1C_2}{D(S)}$$

ت) میان‌نگذر: $I_{in2} = I_{in3} = I_{in}$ آنگاه

$$\frac{I_{out}(BR)}{I_{in}} = -\frac{S^2C_1C_2 + g_{m1}g_{m2}}{D(S)}$$

ث) تمام گذر: $I_{in3} = I_{in}$ یا $I_{in2} = 2I_{in}$ و $I_{in3} = I_{in}$ آنگاه

همان‌گونه که از شکل (۲) مشخص است، تنها با ۱۱ اینورتر یا ۲۲ ماسفت که کمترین سطح فضای اشغال شده تراشه و کاهش مؤثر توان مصرفی را دارا است، یک فیلتر $Gm-C$ چند حالتی با قابلیت تنظیم الکترونیکی و عملکرد در تمامی مدهای کاری تحقق یافته است. با توجه به شکل (۲) $I_{in1}, I_{in2}, I_{in3}$ جریان‌های ورودی و $V_{in2}, V_{in3}, V_{in1}$ ولتاژهای ورودی فیلتر و I_{out} جریان خروجی و V_{out} ولتاژ خروجی فیلتر می‌باشد. تجزیه و تحلیل مدار فیلتر و تابع تبدیل‌ها از روابط زیر حاصل می‌گردد:

$$I_{out} = \frac{N_1(S) - I_{in3}D(S)}{D(S)} \quad (4)$$

$$V_{out} = \frac{N_2(S) - V_{in3}D(S)}{D(S)} \quad (5)$$

که در آن $N_1(S), N_2(S), D(S)$ عبارتند از:

$$N_1(S) = (I_{in2})g_{m2}SC_1 + (I_{in1})(g_{m1}g_{m2}) \quad (6)$$

$$N_2(S) = (V_{in2})g_{m2}SC_1 + (V_{in1})(g_{m1}g_{m2}) \quad (7)$$

$$D(S) = S^2C_1C_2 + g_{m2}C_1 + g_{m1}g_{m2} \quad (8)$$

$$\begin{cases} \frac{V_{out}(AP)}{V_{in}} = -\frac{S^2 C_1 C_2 + g_{m2} C_1 - g_{m1} g_{m2}}{D(S)} \\ \frac{V_{out}(AP)}{V_{in}} = -\frac{D(S)}{D(S)} \end{cases}$$

با توجه به ω_0 و Q از رابطه‌های زیر به دست می‌آید:

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (9)$$

$$Q = \sqrt{\frac{g_{m1} C_2}{g_{m2} C_1}} \quad (10)$$

حساسیت ω_0 و Q نسبت به ترانساینپی‌ها و خازن‌ها از (۱۱) حاصل می‌گردد.

$$\begin{cases} \omega_0 & \omega_0 & 1 & \omega_0 & \omega_0 \\ S & C_1 & C_2 & = & -S & = & -S \\ & & & & g_{m1} & & g_{m1} \\ S & Q & Q & = & -S & = & -S \\ & & & & g_{m1} & & C_2 \\ & & & & & & g_{m2} \\ & & & & & & C_1 \end{cases} \quad (11)$$

همان‌گونه که از (۱۱) بر می‌آید حساسیت‌ها دارای مقدار کمی است که از ویژگی‌های فیلتر طراحی شده است.

$$\begin{cases} \frac{I_{out}(AP)}{I_{in}} = -\frac{S^2 C_1 C_2 + g_{m2} C_1 - g_{m1} g_{m2}}{D(S)} \\ \frac{I_{out}(AP)}{I_{in}} = -\frac{D(S)}{D(S)} \end{cases}$$

مد ولتاژ و مد ترامقاومتی:

اگر $I_{in1} = I_{in2} = I_{in3} = 0$ آنگاه پاسخ‌های فیلتری به صورت زیر است:

(الف) پایین گذر: تنها $V_{in1} = V_{in}$ آنگاه

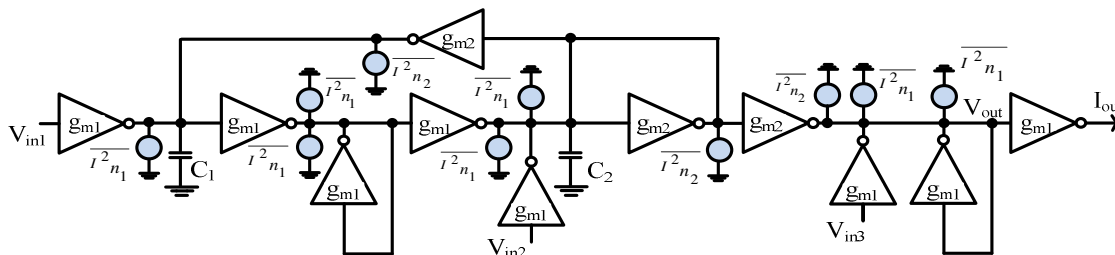
$$\frac{V_{out}(LP)}{V_{in}} = \frac{g_{m1} g_{m2}}{D(S)}$$

(ب) میان گذر: تنها $V_{in2} = V_{in}$ آنگاه $\frac{V_{out}(BP)}{V_{in}} = \frac{g_{m2} S C_1}{D(S)}$

(پ) بالا گذر: $V_{in1} = V_{in2} = V_{in3} = V_{in}$ آنگاه $\frac{V_{out}(HP)}{V_{in}} = -\frac{S^2 C_1 C_2}{D(S)}$

(ت) میان‌نگذر: $V_{in2} = V_{in3} = V_{in}$ آنگاه $\frac{V_{out}(BR)}{V_{in}} = -\frac{S^2 C_1 C_2 + g_{m1} g_{m2}}{D(S)}$

(ث) تمام گذر: $V_{in3} = V_{in}$ یا $V_{in2} = 2V_{in}$ و $V_{in3} = V_{in}$ آنگاه



شکل (۳): مدل مدار فیلتری نویز

Fig. (3): Noise model of circuit

با توجه به تابع تبدیل‌های حالات فیلتری پایین گذر، میان گذر و تمام گذر، نویز ارجاع شده به ورودی هر یک، به شکل زیر نوشته می‌شود:

$$\overline{I_{in1}^2} = \frac{1}{g_{m1}^2} \left(\overline{I_{nT1}^2} + \overline{I_{nT2}^2} \left(\frac{S C_1}{g_{m2}} \right)^2 + \overline{I_{nT3}^2} \left(\frac{S C_1}{g_{m2}} \right)^2 + \overline{I_{nT4}^2} \left(\frac{D(S)}{g_{m1} g_{m2}} \right)^2 \right) \quad (14)$$

$$\overline{I_{in2}^2} = \frac{1}{g_{m1}^2} \left(\overline{I_{nT1}^2} \left(\frac{g_{m2}}{S C_1} \right)^2 + \overline{I_{nT2}^2} + \overline{I_{nT3}^2} + \overline{I_{nT4}^2} \left(\frac{D(S)}{S C_1 g_{m1}} \right)^2 \right) \quad (15)$$

$$\overline{I_{in3}^2} = \frac{1}{g_{m1}^2} \left[\overline{I_{nT1}^2} \left(\frac{g_{m1} g_{m2}}{D(S)} \right)^2 + \overline{I_{nT2}^2} \left(\frac{g_{m1} S C_1}{D(S)} \right)^2 + \overline{I_{nT3}^2} \left(\frac{g_{m1} S C_1}{D(S)} \right)^2 + \overline{I_{nT4}^2} \right] \quad (16)$$

۳- بررسی اثرات نویز

در شکل (۳) مدل مداری نویز حالت‌های فیلتری پایین گذر، میان گذر و تمام گذر نشان داده شده است، که در آن $\overline{I_{nX}^2}$ به ازای $(x=1,2,3)$ جریان نویز خروجی اینورترها می‌باشد. چگالی نویز خروجی مربوط به هر یک از منابع نویز از رابطه (۱۲) قابل حصول است.

$$\begin{cases} \overline{V_{InT1out}^2} = \overline{I_{nT1}^2} \left(\frac{g_{m2}}{D(S)} \right)^2 \\ \overline{V_{InT2out}^2} = \overline{I_{nT2}^2} \left(\frac{S C_1}{D(S)} \right)^2 \\ \overline{V_{InT3out}^2} = \overline{I_{nT3}^2} \left(\frac{S C_1}{D(S)} \right)^2 \\ \overline{V_{InT4out}^2} = \overline{I_{nT4}^2} \left(\frac{D(S)}{g_{m1} (D(S))} \right)^2 \end{cases} \quad (12)$$

که در آن داریم:

$$\begin{cases} \overline{I_{nT1}^2} = \overline{I_{n1}^2} + \overline{I_{n2}^2}, & \overline{I_{nT2}^2} = 2\overline{I_{n1}^2} \\ \overline{I_{nT3}^2} = 2\overline{I_{n1}^2} + \overline{I_{n2}^2}, & \overline{I_{nT4}^2} = 2\overline{I_{n1}^2} + \overline{I_{n2}^2} \end{cases} \quad (13)$$

۴- شبیه سازی

مدار پیشنهادی توسط HSPICE و در تکنولوژی 0.18 μm CMOS شبیه‌سازی شده است. مشخصات اینورتر بایاس شده در ناحیه

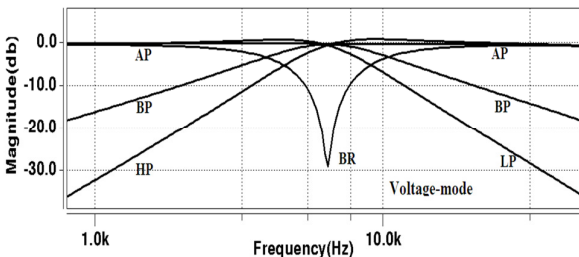
زیرآستانه می‌باشد. برای کاهش نویز ارجاع شده به ورودی طبق (۳) باید مساحت ترانزیستورها را افزایش داد که این امر سبب افزایش سطح اشغال شده‌ی تراشه و افزایش خازن‌های پارازیتیکی می‌شود. میزان اعوجاج هارمونیک کلی (THD) با ورودی 20mV_{pp} برابر 0.384% و ورودی با دامنه‌ی 40mV_{pp} معادل 1.18% می‌باشد که این میزان THD برای اینورتر طراحی شده مقدار مناسبی است.

زیرآستانه، استفاده شده در فیلتر پیشنهادی در جدول (۱) آمده است. همان‌گونه که از جدول (۱) مشخص است، با توجه به ولتاژ آستانه ترانزیستورها ($\pm 0.45\text{V}$) و منبع تغذیه‌ی $\pm 0.3\text{V}$ بلوک اینورتر در ناحیه زیرآستانه بایاس شده است. همچنین توان مصرفی بسیار پایین، ویژگی بارز مدار ارائه شده است. زیاد بودن نویز ارجاع شده به ورودی به دلیل کم بودن بهره‌ی سیگنال کوچک و کاهش ترانساینایی در ناحیه

Table (1): Characteristics of the utilized inverter in the proposed filter

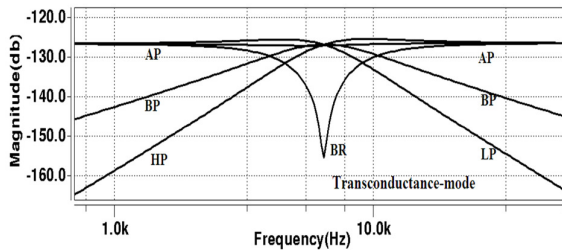
جدول (۱): مشخصات اینورتر استفاده شده در فیلتر پیشنهادی

VDD	gm	PSRR	PM	DC gain	THD% @ 1KHz	Input referred noise	Integrated noise	Power
$\pm 0.3\text{V}$	490 nS	36.2 dB	90.45°	42.12 dB	0.384% @ 20 mV _{pp}	$172 \frac{\text{nV}}{\sqrt{\text{Hz}}} @ 1\text{KHz}$	24.29 μvrms @ (100Hz-20KHz)	5.88 nW
					1.18% @ 40 mV _{pp}			



شکل (۴): پ پاسخهای فرکانسی مد ولتاژ

Fig. (4-c): Frequency responses of the voltage mode

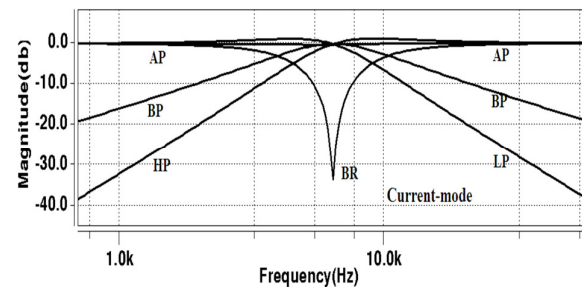


شکل (۴): ت پاسخهای فرکانسی مد ترانساینایی

Fig. (4-d): Frequency responses of the transconductance mode

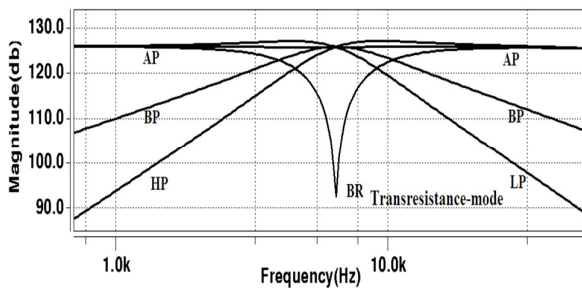
شکل (۴) بیان‌گر این است که فیلتر پیشنهادی می‌تواند تمامی پاسخهای فیلتری در هر چهار مد کاری را در ناحیه زیرآستانه به درستی تحقق ببخشد. مقایسه بین نتایج شبیه‌سازی و تئوری پاسخهای فیلتری پایین‌گذر، بالاگذر و میان‌گذر، ترسیم شده با MATLAB در شکل (۵) مشاهده می‌شود. شکل (۵) نشان می‌دهد که نتایج شبیه‌سازی و تئوری بسیار به هم نزدیک است.

همچنین Integrated noise مجموع نویز ارجاع شده به ورودی در بازه‌ی فرکانسی 100Hz-20KHz است. نسبت حذف منبع تغذیه (PSRR) برابر 36.2 dB می‌باشد. شکل (۴) الف-ب-پ-ت تمامی پاسخهای فیلتری (پایین‌گذر، بالاگذر، میان‌گذر، میان‌نگذر و تمام‌گذر) در مدهای جریان، ولتاژ، ترانساینایی و ترامقاومتی با انتخاب ($f_0=6.49\text{KHz}$, $Q=1$) $gm1 = gm2 = 490\text{nS}$ و $C_1 = C_2 = 12\text{pf}$ مشاهده می‌گردد. کاربرد فیلتر ارائه شده در تجهیزات موبایل دریایی، ناوبری دریایی و مخابرات دریایی است.



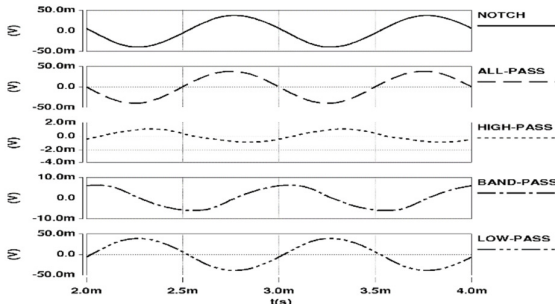
شکل (۴): الف پاسخهای فرکانسی مد جریان

Fig. (4-a): Frequency responses of the current mode

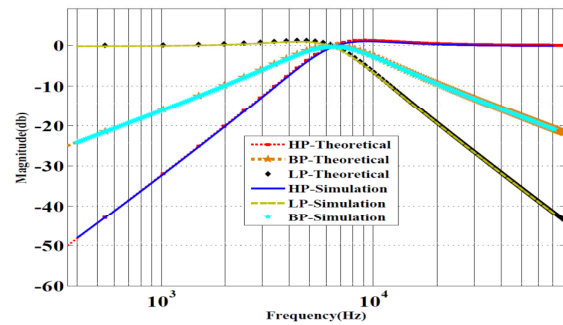


شکل (۴): ب پاسخهای فرکانسی مد ترامقاومتی

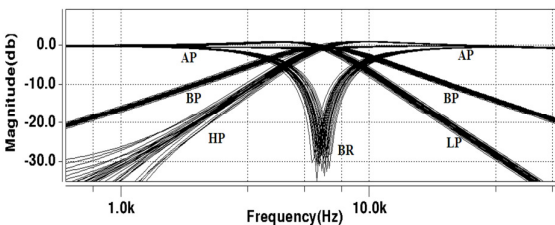
Fig. (4-b): Frequency responses of the transresistance mode



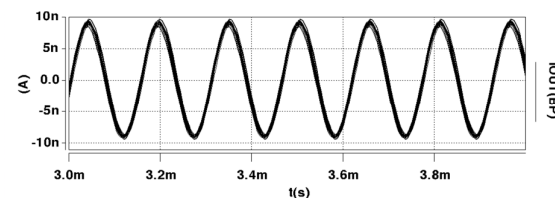
شکل (۶): پاسخ گذرای مد ولتاژ با ورودی $80mV_{pp}$ و فرکانس 1 KHz
 Fig. (6): Transient response with input voltage $80mV_{pp}$ and 1 KHz frequency



شکل (۵): مقایسه بین نتایج شبیه سازی و تئوری
 Fig. (5): Comparison between simulation and theoretical results



شکل (۷): تحلیل مونت-کارلو پاسخهای فیلتری مد ولتاژ
 Fig. (7): Monte - Carlo analysis- voltage mode filter response



شکل (۸): تحلیل مونت-کارلو پاسخ گذرای عملکرد میان گذر مد جریان
 Fig. (8): Monte - Carlo Analysis- current mode Band-pass transient response

پاسخ گذرای خروجی فیلتر پیشنهاد شده با ورودی سینوسی $80mV_{pp}$ ، فرکانس 1KHz و انتخاب شرایط فیلتری $C_1=C_2=12pf$ و $f_0=6.49KHz$ و $g_{m1}=g_{m2}=490nS$ در مد ولتاژ در شکل (۶) مشاهده می‌شود. همان‌گونه که از شکل (۶) مشخص است با توجه به فرکانس ورودی فیلتر و فرکانس مرکزی فیلتر پاسخهای فیلتری پایین گذر، میان نگذر و تمام گذر در باند عبور فیلتر قرار گرفته و بدون تضعیف دریافت می‌شود اما پاسخهای فیلتری میان گذر و بالا گذر با تضعیف دامنه ورودی دریافت می‌گردد. اگر چه بسیاری از عدم تطابقها، تغییرات منبع تغذیه و غیره بعد از رسم یک جانمایی دقیق و تست تراشه بعد از ساخت، کاهش می‌یابد، عدم تطابق مقادیر طول و عرض کانال ترانزیستور و ولتاژ آستانه (V_{th}) شبیه‌سازی شده با مقادیری که هنگام ساخت رخ می‌دهد جهت بررسی عملکرد صحیح فیلتر ارائه شده بعد از ساخت تراشه توسط تحلیل مونت کارلو شبیه‌سازی شده است. در شبیه سازی مونت-کارلو (MONTE-CARLO)، تغییرات V_{th} و W, L ترانزیستورها بر مبنای توزیع گوسی انجام گرفته است. در این تحلیل V_{th}, L, W تغییرات ۲ درصدی به صورت تصادفی و با انحراف استاندارد ۳ و ۳۰ مرتبه تکرار انجام شده است. در شکل ۷ شبیه‌سازی مونت-کارلو پاسخهای فیلتری در مد ولتاژ با ۳۰ بار تکرار ترسیم شده است.

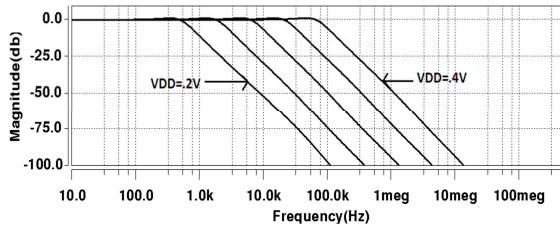
همچنین شبیه‌سازی مونت-کارلو پاسخ گذرای عملکرد میان گذر مد جریان با ورودی سینوسی $20nApp$ ، فرکانس 6.49KHz و انتخاب شرایط فیلتری $C_1=C_2=12pf$ و $g_{m1}=g_{m2}=490nS$ و $f_0=6.49KHz$ در شکل (۸) مشاهده می‌شود. چنانچه شکل‌های (۷) و (۸) نشان می‌دهند، تغییرات W, L و V_{th} به میزان کمی بر رفتار فیلتر پیشنهاد شده تأثیر می‌گذارد که نشان دهنده‌ی عملکرد مناسب فیلتر پیشنهادی در ناحیه زیرآستانه است.

Table (2): THD of voltage-mode filter response

جدول (۲): میزان THD پاسخ فیلتر مد ولتاژ

Voltage input (mV_{pp})	THD% @ 6.49KHz			
	LP	BP	HP	AP
20	1.38	1.03	1.87	1
30	1.9	1.14	2.94	1.27
40	2.035	1.2	4.54	1.88
50	2.94	1.32	6.5	2.5
60	3.69	1.35	8.79	3.13

(۸)



شکل (۱۰): تغییر فرکانس قطع بالا فیلتر از 626Hz تا 84.3KHz
Fig. (10): Changing the filter cutoff frequencies from 626Hz to 84.3KHz

۵- مقایسه با کارهای قبلی

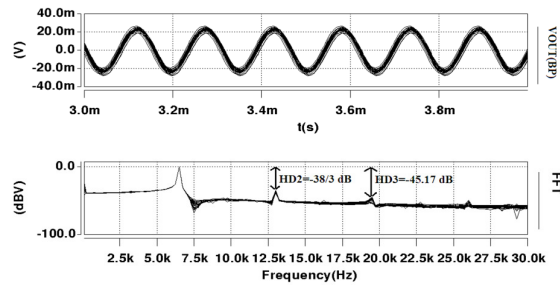
در این قسمت مقایسه عملکرد فیلتر پیشنهاد شده با سایر طرح‌های ارائه شده در [9,10,12,15,16] انجام گرفته است. جدول (۴) شامل مقایسه عملکرد فیلتری است. از جدول (۴) مشخص است که فیلتر پیشنهادی توانایی دریافت تمامی پاسخ‌های فیلتری پایین‌گذر، بالاگذر، میان‌گذر، میان‌نگذر و تمام‌گذر را در تمامی مدهای کاری ولتاژ، جریان، ترانسسانی و ترامقاومتی دارا می‌باشد. همچنین در جدول (۵) مقایسه‌ای از لحاظ توان مصرفی فیلتر و تعداد ترانزیستورهای لازم (مقایسه مداری) برای تحقق مدار فیلتر پایین‌گذر ارائه شده در هر یک از مراجع، انجام گرفته است. همان‌گونه که از جدول (۵) مشخص است توان مصرفی مدار پیشنهاد شده به ترتیب در فرکانس‌های 626Hz و 84.3KHz برابر 3.5nW و 982nW است. همچنین مدار پیشنهاد شده کمترین تعداد ترانزیستور و کمترین توان مصرفی را به خود اختصاص داده است.

Table (4): Comparison of the proposed filter performances and other references

جدول (۴): مقایسه عملکرد فیلتر پیشنهاد شده با دیگر مراجع

عملکرد فیلتری	[9]	[15]	[16]	فیلتر پیشنهادی
مد ولتاژ	✓	✗	✗	✓
مد ولتاژ چندحالتی	✓	✗	✗	✓
مد جریان	✓	✓	✓	✓
مد جریان چندحالتی	✓	✓	✓	✓
مد ترانسسانی	✓	✓	✗	✓
مد ترانسسانی چندحالتی	✓	✓	✗	✓
مد ترا مقاومتی	✓	✗	✗	✓
مد ترا مقاومتی چندحالتی	✓	✗	✗	✓

تحلیل مونت-کارلوی پاسخ‌گذاری میان‌گذر فیلتری مد ولتاژ به همراه هارمونیک‌های خروجی (FFT) آن با ورودی موج سینوسی 50mV_{pp} و فرکانس 6.49KHz در شکل (۹) مشاهده می‌شود.



شکل (۹): تحلیل مونت-کارلو و FFT پاسخ‌گذاری میان‌گذر مد ولتاژ با ورودی سینوسی 50mV_{pp} و فرکانس 6.49KHz

Fig. (9): Monte - Carlo Analysis and FFT response of sinusoidal with 50mvpp input voltage and 6.49KHz frequency, Band-pass, voltage mode

شکل (۹) نشان دهنده HD2=-38.3 dB و HD3=-45.17 dB است. که به ترتیب HD2 و HD3 نسبت دامنه‌ی هارمونیک دوم و سوم نسبت به دامنه‌ی هارمونیک اول است. همچنین میزان خطی پذیری یا THD خروجی 1.32% است، که بیان‌گر خطی‌پذیری مناسب فیلتر طراحی شده است. با توجه به مدل مداری نویز در شکل (۳) و معادلات (۱۴) - (۱۶) شامل مقدار نویز ارجاع شده به ورودی در فرکانس‌های 1KHz و 6.49KHz و مجموع نویز در عملکردهای فیلتری پایین‌گذر، تمام‌گذر و میان‌گذر با انتخاب شرط فیلتری $f_0=6.49\text{KHz}$ می‌باشد. مقدار نویز ارجاع شده به ورودی در فرکانس 6.49KHz در هر سه حالت به علت بهره‌ی یکسان در این فرکانس تقریباً با یکدیگر برابر است. همچنین علت زیاد بودن میزان نویز در فرکانس 1KHz در عملکرد میان‌گذر مقدار بسیار کم بهره (قرار نگرفتن در باند عبور در فرکانس 1KHz) در این حالت می‌باشد.

Table (3): Input referred noise in low-pass (LP), pass (BP) and all pass (AP) realization

جدول (۳): نویز ارجاع شده به ورودی در حالات پایین‌گذر (LP)، میان‌گذر (BP) و تمام‌گذر (AP)

Noise	Function		
	LP	BP	AP
Input referred ($\frac{V}{\sqrt{Hz}}$) @ 1KHz	391.4n	1.94μ	384.9 n
Input referred ($\frac{nV}{\sqrt{Hz}}$) @ 6.49KHz	546.7	536.2	528.7
Integrated μrms @ (1KHz-6.49KHz)	33.6	61.14	35.4

سرانجام فرکانس فیلتر با انتخاب $C_1 = C_2 = 12\text{pf}$ و تغییر منبع تغذیه از 84.3KHz ($VDD=0 \pm .4V$) تا 626Hz ($VDD=0 \pm .2V$) تغییر می‌کند. این تغییر فرکانس در شکل (۱۰) مشاهده می‌شود.

نتیجه گیری

در این مقاله یک Gm-C فیلتر universal مرتبه‌ی دو با قابلیت عملکرد در چهار مد (ولتاژ، جریان، ترانسانایی و ترامقاومتی) و توانایی دریافت تمامی پاسخ‌های فیلتری در هر چهار مد عملکردی (ولتاژ، جریان، ترانسانایی و ترامقاومتی) مبتنی بر اینورتر (بلوک ترانسانایی) با بایاس شدن ترانزیستورها در ناحیه زیرآستانه به سبب کاهش مؤثر توان مصرفی ارائه شد. فیلتر پیشنهادی توانست تمامی پاسخ‌های فیلتری در هر چهار مد کاری را در ناحیه زیرآستانه به درستی تحقق ببخشد. استفاده از خازن‌های زمین شده به منظور کاهش اثرات پارازیتیکی و استفاده از حداقل ترانزیستورهای لازم برای تحقق مدار فیلتری از جمله ویژگی‌های مدار طراحی شده محسوب می‌شود. کم بودن حساسیت فرکانس مرکزی و ضریب کیفیت فیلتر نسبت به خازن‌ها و ترانسانایی‌ها از دیگر ویژگی‌های مدار ارائه شده می‌باشد. همچنین توان مصرفی فیلتر پیشنهادی 64.69nW است که نشان دهنده توان بسیار کم فیلتر پیشنهاد شده است.

Table (5): Comparison of the proposed filter circuit with other references

جدول (۵): مقایسه مداری فیلتر پیشنهاد شده با دیگر مراجع

پارامترها	[9]	[10]	[12]	فیلتر پیشنهادی
تکنولوژی	0.35μm CMOS	0.35μm CMOS	0.35μm CMOS	0.18 μm CMOS
منبع تغذیه (v)	±1.65	2.5	3.3	±0.3
تعداد ترانزیستور	47	64	128	24
توان مصرفی	30.95 mW	3.99 mW	178 μW @ 2.8MHz 445 nW @ 10KHz	982nW@ 84.3KHz 3.5 nW@ 626Hz
تغییر فرکانس	-	2.25MHz - 3.3MHz	10 KHz- 2.8MHz	626Hz- 84.3KHz
مبتنی بر اینورتر	×	✓	✓	✓

References

- [1] Xi. Zhu, Y. Sun, J. Moritz, "Design of current-mode gm-C MLF elliptic filters for wireless receivers", IEEE /ICECS., pp. 296-299, 2008.
- [2] M. Yang, J. Liu, Y. Xiao, Y. Liao, "14.4 nw fourth-order band-pass filter for biomedical applications", Elec. Letters., Vol. 46, No. 14, pp. 973-974, 2010.
- [3] A.J. Casson, V.E. Rodriguez, "A 60 pW gmC continuous wavelet transform circuit for portable EEG systems", IEEE Jou. of Solid-State Cir., Vol. 56, No. 6, pp. 1406-1415, 2011.
- [4] C.C Hsu, W.S. Feng, "Structural design of current-mode biquad filters", Int. Jou. of Elec., Vol. 88, No. 1, pp. 41-51, 2001.
- [5] T. Takao, S. Edasaki, S. Yasuaki, Y. Fukui, "Current-mode universal biquad filter using OTAs and DO-CCII", Frequenz., Vol. 60, No. 11-12, pp. 237-240, 2006.
- [6] V.K. Singh, A.K. Singh, D.R. Bhaskar, R. Senani, "Novel mixed-mode universal biquad configuration", IEICE Elec. Exp., Vol. 2, No. 22, pp. 548-553, 2005.
- [7] W.Y. Chiu, J.W. Horng, "High-Input and low-output impedance voltage-mode universal biquadratic filter using DDCCs", IEEE Trans. onCir. and Sys. II. Express Briefs., Vol. 54, No. 8, pp. 649-652, 2007.
- [8] M.T. Abuelma'atti, A. Bentrchia, "A novel mixed-mode OTA-C universal filter", Int. Jou of Elec., Vol. 92, No. 7, pp. 375-383, 2005.
- [9] H.P. Chen, Y.Z. Liao, W.T. Lee, "Tunable mixed-mode OTA-C universal filter", Analog Int. Cir. and Signal Proc., Vol. 58, No. 2, pp. 135-141, 2009.
- [10] H. Barthélemy, S. Meillère, J. Gaubert, N. Dehaese, S. Bourdel, "OTA based on CMOS inverters and application in the design of tunable bandpass filter", Analog Int. Cir. Signal Proc., Vol. 57, No. 3, pp. 169-178, 2008.
- [11] T.Y. Lo, C.C. Hungm, "A 1 GHz equiripple low-pass filter with a high-speed automatic tuning scheme", IEEE Trans. onVery Large Scale Int. (VLSI) Sys., Vol. 19, No. 2, pp. 175-181, 2011.
- [12] A. Pirmohammadi, M.H. Zarifi, "A low power tunable Gm-C filter based on double CMOS inverters in 0.35 μm," Analog Int. Cir. and Signal Proc., Vol. 71, No. 3, pp. 473-479, 2012.
- [13] E.D.C. Cotrim, L.H.C. Ferreira, "An ultra-low-power CMOS symmetrical OTA for low-frequencyGm-C applications", Analog Int. Cir. and Signal Proc., Vol. 71, No. 2, pp. 275-282, 2012.
- [14] S.Y. Lee, C.J. Cheng, "Systematic design and modeling of a OTA-C filter for portable ECG detection", IEEE Trans. onBiomedical Cir. and Sys., Vol. 3, No. 1, pp. 53-64, 2009.
- [15] D.R. Bhaskar, A.K.Singh, R.K. Sharma, R. Senani, "New OTA-C universal current-mode/trans-admittance biquads", IEICE Elec. Express., Vol. 2, No. 1, pp. 8-13, 2005.
- [16] C.M. Chang, S.K. Pai, "Universal current-mode OTA-C biquad with the minimum components", IEEE Trans. on Cir. and Sys. I. Fundamental Theory and Applications., Vol. 47, No. 8, pp. 1235-1238, 2000.