JIPET	Journal of Intelligent Procedures in Electrical Technology Vol. 16/ No. 64/ Winter 2025 P-ISSN: 2322-3871, E-ISSN: 2345-5594, sanad.iau.ir/journal/jipet

Doi: 10.71666/jipet.2025.998759

Research Article

Designing and Simulating of an Inductor less, Low-Power and Low-Noise Trans-Impedance Amplifier Based on Active Feedback for 10 Gbps Applications Using the Ratio of Trans-Conductance to Drain Current Methodology

Bahram Jalil[1], *Ph.D. Student*, Somayeh Kazemi[1,2], *Assistant Professor*, Mehdi Dolatshahi[1], *Assistant Professor*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Digital Processing and Machine Vision Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
b.jalil@iau.ac.ir, s.kazemi@iau.ac.ir, dolatshahi@iaun.ac.ir

Abstract

This paper presents a new circuit design for a trans-impedance amplifier (TIA) with excellent power efficiency, low noise, and a 10 Gbps data rate. In this circuit, we have attempted to achieve a desirable level for each of these parameters by combining and optimizing multiple design techniques. In this structure, to increase bandwidth, reduce power consumption, and decrease noise, we have used a combination of active feedback, feedforward path addition, active feedback, and the inductive peaking technique and the ratio of trans-conductance to drain current technique (g_m/I_D). To verify the performance of the proposed TIA circuit, HSPICE simulation was performed using 90 nm technology. The simulation results show a gain of 53.01 dBΩ, a bandwidth of 7.05 GHz, and an input-referred noise of 21.06pA/√Hz. The power consumption of the circuit with a 1.1 V power supply is only 1.3 mW. The results indicate the better efficiency of the proposed circuit compared to previous works.

Keywords: Active feedback technique, inductive peaking technique, low noise, low power, trans-conductance to drain current technique, trans-impedance amplifier

Received: 29 October 2023
Revised: 27 May 2024
Accepted: 12 August 2024

Corresponding Author: Dr. Somayeh Kazemi

Citation: B. Jalil, S. Kazemi, M. Dolatshahi, "Designing and Simulating of an Inductor less, Low-Power and Low-Noise Trans-Impedance Amplifier Based on Active Feedback for 10 Gbps Applications Using the Ratio of Trans-Conductance to Drain Current Methodology", Journal of Intelligent Procedures in Electrical Technology, vol. 16, no. 64, pp. 1-17, December 2025 (in Persian).

Doi: 10.71666/jipet.2025.998759

مقاله پژوهشی

طراحی و شبیه‌سازی تقویت‌کننده امپدانس انتقالی بدون سلف،کم توان و کم نویز بر پایه فیدبک فعال برای نرخ داده ۱۰ گیگابیت بر ثانیه با استفاده از روش نسبت هدایت انتقالی به جریان درین

بهرام جلیل[۱]، دانشجوی دکتری، سمیه کاظمی[۱،۲]، استادیار، مهدی دولتشاهی[۱]، استادیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۲- مرکز تحقیقات پردازش دیجیتال و بینایی ماشین- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

b.jalil@iau.ac.ir, s.kazemi@iau.ac.ir, dolatshahi@iaun.ac.ir

چکیده: در این مقاله طراحی مدار جدیدی برای یک تقویت‌کننده امپدانس انتقالی ارائه شده که همزمان دارای سه مشخصه عالی توان مصرفی کم، نویز کم و نرخ داده ۱۰ گیگابیت بر ثانیه است. در این مدار سعی شده با تلفیق سازنده و بهینه چند روش، طراحی به میزان بسیار مطلوبی برای هرکدام از این پارامترها به دست آید. در این ساختار، برای افزایش پهنای باند، کاهش توان مصرفی و کاهش نویز از ترکیب روش فیدبک فعال، افزودن مسیر پیشخور و فیدبک فعال و همچنین از روش بالازدگی سلفی و روش نسبت هدایت انتقالی به جریان درین (g_m/I_D) استفاده شده است. جهت تأیید عملکرد این تقویت‌کننده پیشنهادی، شبیه‌سازی مدار با نرم‌افزار اچ-اسپایس با پارامترهای فناوری ۹۰ نانومتر انجام شده است. نتایج شبیه‌سازی، بهره ۵۳/۰۱ دسی‌بل اهم، پهنای باند ۷/۰۵ گیگاهرتز، نویز ارجاع شده به ورودی ۲۱/۰۶ پیکوآمپر بر جذر هرتز را نشان می‌دهد و در عین حال توان مصرفی این مدار تنها ۱/۳ میلی‌وات با منبع تغذیه ۱/۱ ولتی است که این نشان از کارایی بهتر مدار پیشنهادی در مقایسه با سایر کارهای قبلی است.

کلمات کلیدی: تقویت‌کننده امپدانس انتقالی، توان پایین، روش بالازدگی سلفی، روش فیدبک فعال، روش نسبت نسبت هدایت انتقالی به جریان درین، کم نویز

تاریخ ارسال مقاله: ۱۴۰۲/۸/۷

تاریخ بازنگری مقاله: ۱۴۰۳/۳/۷

تاریخ پذیرش مقاله: ۱۴۰۳/۵/۲۲

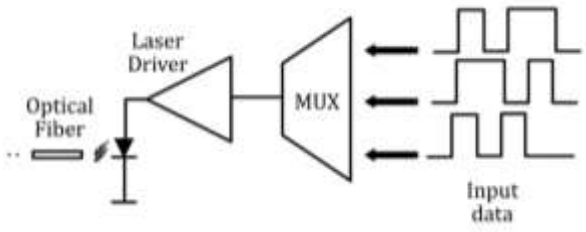
نام نویسنده‌ی مسئول: دکتر سمیه کاظمی

نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

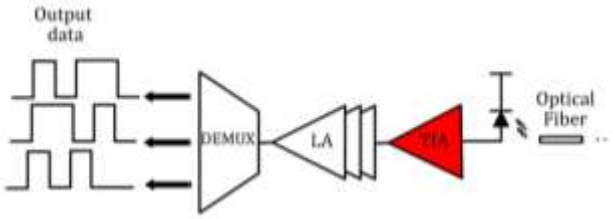
۱- مقدمه

تقاضا برای مخابرات پرسرعت هر روزه در حال افزایش است، بنابراین این تقاضا ما را ملزم به طراحی و مطالعه در مورد تجهیزات ارتباطی فیبر نوری می‌کند. شکل (۱) بلوک دیاگرام یک فرستنده گیرنده مخابرات نوری پر سرعت را نشان می‌دهد. در شکل (ا-الف) داده‌های ورودی دیجیتال توسط تسهیم‌کننده[۱] به یک سیگنال دیجیتال تبدیل و سپس توسط راه‌انداز[۲] لیزر با توان مناسب وارد فیبر نوری می‌شود. این سیگنال پس از طی مسافتی در فیبر نوری به گیرنده نوری شکل (۱-ب) می‌رسد. در گیرنده نوری سیگنال دریافتی به‌وسیله دیود نوری به جریان الکتریکی تبدیل می‌شود که این جریان الکتریکی توسط یک تقویت‌کننده امپدانس انتقالی[۳] تبدیل به ولتاژ می‌شود. با توجه به این‌که خروجی تقویت‌کننده امپدانس انتقالی در حد چند میلی‌ولت است، نیاز به تقویت مجدد دارد تا به یک سطح ولتاژ مناسب صفر و یک منطقی برسد که این کار توسط تقویت-کننده محدود ساز[۴] که شامل زنجیره‌ای از تقویت‌کننده‌ها است انجام می‌شود. خروجی تقویت‌کننده محدود ساز توسط دی-مولتی‌پلکسر[۵] به داده خروجی منطقی تبدیل می‌شود.

در یک گیرنده نوری، تقویت‌کننده امپدانس انتقالی به عنوان مهمترین بلوک گیرنده نوری است، وجود خازن بزرگ دیود نوری و سایر خازن‌های انگلی[۶] در گره ورودی این تقویت‌کننده، باعث ایجاد یک قطب بزرگ شده و محدودیت بزرگی را برای پهنای باند ایجاد می‌کند. از طرفی تضاد بین پارامترهای عملکردی شامل پهنای باند، توان مصرفی، نویز، سطح اشغال تراشه و بهره از اصلی‌ترین و مهمترین چالش‌های طراحی تقویت‌کننده امپدانس انتقالی است، بنابراین ایجاد تعامل بین پارامترهای عملکردی و همچنین ارائه راه‌کار مناسب برای بزرگ کردن قطب گره ورودی و برداشتن محدودیت‌های پهنای باند اهمیت ویژه‌ای را در طراحی امپدنس انتقالی دارد.



(الف) فرستنده نوری



(ب) گیرنده نوری

شکل (۱): بلوک دیاگرام فرستنده گیرنده مخابرات نوری

Figure (1): Block diagram of optical telecommunication transceiver, a) optical transmitter, b) optical receiver

در این راستا برای بهبود پارامترهای عملکردی تقویت‌کننده امپدانس انتقالی ساختارهای مختلفی ارائه شده است. در مرجع [۱] ساختار گیت مشترک، مقاومت $1/g_m$ را در گره ورودی ایجاد می‌کند. وجود خازن بزرگ دیود نوری در گره ورودی، منجر به تشکیل قطب غالب می‌گردد که برای رسیدن به پهنای باند بزرگ‌تر نیاز است که مقدار کمیت g_m (هدایت انتقالی) افزایش یابد، از طرفی افزایش g_m باعث افزایش توان مصرفی خواهد شد. در مرجع [۲] از ترکیب دو روش فیدبک فعال و سلف غیرفعال برای افزایش پهنای باند استفاده شده است که در آن سلف غیرفعال با خازن گره ورودی تشدید شده که ایجاد تشدید و بالازدگی سلفی منجر به افزایش پهنای باند بدون توان مصرفی بیشتر خواهد شد. عیب اساسی استفاده ازسلف‌های غیرفعال، اشغال سطح زیاد تراشه است. در مرجع [۳] اگرچه از روش فیدبک فعال برای افزایش پهنای باند استفاده شده است، ولی ساختار مدار به‌گونه‌ای است که بهره ساختار پیشخور آن پایین است، بنابراین برای رسیدن به پهنای باند چند گیگاهرتز

نیازمند توان مصرفی بالا است، در مرجع [۴] از یک طبقه مدار معکوس‌کننده برای افزایش بهره در ساختار کسکود تنظیم شده، استفاده شده است، اضافه نمودن ساختار معکوس‌کننده موجب افزایش توان مصرفی خواهد شد، عیب دیگر این مدار وصل شدن دو شاخه گیت مشترک به گره ورودی است که این باعث می‌شود نویز، مستقیم به گره ورودی ریخته شود و افزایش نویز در گره ورودی را در پی داشته باشد. مرجع [۵] از ساختار زوج تفاضلی برای حذف نویز استفاده کرده است که برای پیاده سازی این ساختار، در هر مسیر ورود به تقویت‌کننده زوج تفاضلی یک تقویت‌کننده کسکود تنظیم شده قرار داده شده‌است. تکرار ساختار مشابه در دو مسیر موجب افزایش توان مصرفی خواهد شد. در مرجع [۶] با اعمال روش ارتقاء بهره[۷] در ساختار کسکود تنظیم شده، شرایط بهتری برای افزایش پهنای باند فراهم شده است، علاوه بر آن از روش بالازدگی سلفی و مقاومت غیرفعال برای افزایش پهنای باند نیز استفاده شده است، مقاومت غیرفعال موجب افزایش سطح اشغال تراشه خواهد شد. بکارگیری روش بالازدگی سلفی با استفاده از سلف فعال موجب افزایش پهنای باند بدون مصرف توان بیشتر می‌شود، استفاده از سلف فعال به جای سلف غیرفعال در مدارات، موجب کاهش سطح اشغال تراشه می‌شود [۹-۷].

روش g_m/I_D مورد علاقه بعضی طراحان برای به حداقل رساندن توان مصرفی [۱۰،۱۱] و نویز [۱۲،۱۳] است، در این روش طراحان هر کدام به ارائه الگوریتمی پرداختند که به کمک آن الگوریتم، بتوان کنترل بهتری روی ابعاد ترانزیستورها داشته باشند. به‌نحوی که با انتخاب مناسب ابعاد ترانزیستور، ضمن دستیابی به بهره و پهنای باند مطلوب، توان مصرفی و نویز را به حداقل رساند. در مرجع [۱۴] مدار ارائه شده از ترکیب روش فیدبک فعال و ساختار آینه جریان تشکیل شده است، که در آن وجود سه طبقه ترانزیستوری برای پیاده سازی این مدار موجب افزایش توان مصرفی شده است. در مرجع [۱۵] یک تقویت-کننده امپدانس انتقالی با بهره بالا و کم نویز ارائه شده است، که در آن از یک شبکه π در یک ساختار کسکود تاشده[۸] جدید استفاده شده است، به‌این‌صورت که با ایجاد یک رفتار سلفی مانع از انحراف جریان در فرکانس‌های بالا می‌شود و تمام جریان را به گره خروجی منتقل می‌کند، افزایش توان مصرفی بدلیل وجود ۴ شاخه ترانزیستوری، و استفاده از سلف غیرفعال از معایب این مدار هستند. در مرجع [۱۶] به کمک خازن غیرفعال، خازنی منفی در گره ورودی ایجاد کرده است که با خازن بزرگ دیود نوری موازی شده و موجب کاهش خازن در گره ورودی گردد که این کار منجر به افزایش پهنای باند می‌شود، استفاده از خازن غیرفعال موجب افزایش سطح اشغال تراشه خواهد شد.

هدف اصلی این مقاله ارائه یک مدار تقویت کننده امپدانس انتقالی با تمرکز بر توان مصرفی کم و نویز کم برای نرخ داده ۱۰ گیگابیتی است. برای رسیدن به این اهداف، از روش‌های فیدبک فعال برای کوچک کردن امپدانس ورودی و بزرگ نمودن قطب گره ورودی که همان قطب غالب است استفاده شده است. از روش بالازدگی سلفی برای کوچک کردن امپدانس خروجی و دور کردن قطب گره خروجی استفاده شده است. علاوه بر آن از این روش برای افزایش پهنای باند بدون توان مصرفی بیشتر، می-توان بهره برد. با استفاده از روش g_m/I_D می‌توان ابعاد ترانزیستورها را به‌گونه‌ای انتخاب نمود که توان مصرفی و نویز را کاهش داد. در ادامه ساختار مقاله به این ترتیب تنظیم شده است: در بخش ۲ ساختارهای تقویت‌کننده امپدانس انتقالی گیت مشترک، تقویت‌کننده امپدانس انتقالی پیشنهادی و نویز معرفی و تحلیل شده‌اند. در بخش ۳ به معرفی و شرح روش g_m/I_Dپرداخته‌شده است. در بخش ۴ نتایج شبیه‌سازی ساختار پیشنهادی و نتیجه‌گیری در بخش ۵ بیان شده است.

۲-تقویت‌کننده امپدانس انتقالی گیت مشترک

یک تقویت‌کننده امپدانس انتقالی گیت مشترک در شکل (۲) نشان داده شده است، مقاومت ورودی و خروجی این تقویت-کننده به ترتیب در رابطه‌های (۱) و (۴) آمده است [۱۷].

$$R_{in1} = \frac{1}{g_{m2}} \parallel r_{ds1} \cong \frac{1}{g_{m2}} \quad (۱)$$

$$R_{out12} = g_{m2} r_{ds2} r_{ds1} \quad (۲)$$

$$R_{out13} = \frac{1}{g_{m3}} \quad (۳)$$

$$R_{out1} = R_{out12} \parallel R_{out13} \cong \frac{1}{g_{m3}} \quad (۴)$$

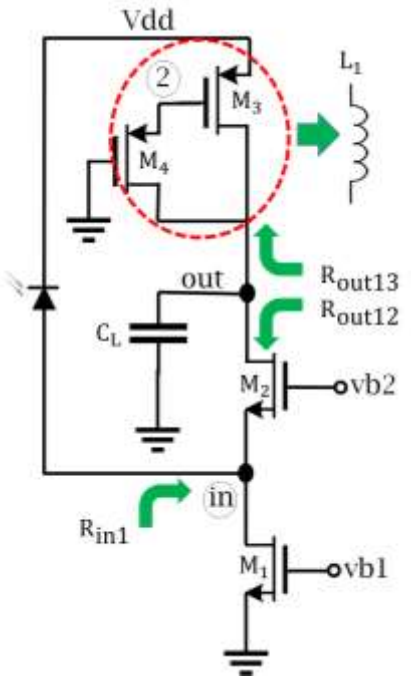
کمیت‌های g_m و r_{ds}، هدایت انتقالی و مقاومت درین سورس ترانزیستور هستند. با توجه به رابطه‌های (۱) و (۴)، مقاومت‌های ورودی و خروجی، مقاومت‌های بزرگی هستند. در گره ورودی خازن بزرگ دیود نوری و در گره خروجی خازن بار C_L وجود دارد. قطب گره ورودی و قطب گره خروجی به ترتیب در معادله‌های (۵) و (۶) نشان داده شده است.

$$S_{in1} = \frac{1}{C_{in1}R_{in1}} \quad (۵)$$

$$S_{out1} = \frac{1}{C_{out1}R_{out1}} \quad (۶)$$

$$C_{in1} = C_{PD} + C_{gs2} + C_{gd1} + C_{db1} \quad (۷)$$

$$C_{out1} = C_L + C_{gd2} + C_{db2} + C_{gd3} + C_{db3} + C_{gd4} + C_{db4} \quad (۸)$$



شکل (۲): تقویت کننده امپدانس انتقالی گیت مشترک [۱]

Figure (2): Common gate trans-impedance amplifier [1]

به دلیل بزرگ بودن مقاومت و خازن در گره ورودی و خروجی، دو قطب S_{in1} و S_{out1} کوچک خواهند بود و پهنای باند را بسیار محدود خواهند کرد. برای بزرگ کردن هر دو قطب نیاز به کوچک کردن مقاومت در گره‌های ورودی و خروجی هست. با توجه به معادله‌های (۱) و (۴) برای کوچک کردن مقاومت در گره‌های ورودی و خروجی نیاز به بزرگ کردن g_m ترانزیستورهای M_2 و M_3 هست. بزرگ کردن g_m از یک طرف موجب افزایش توان مصرفی و از طرفی دیگر چون نویز ترانزیستورهای M_1 و M_3 مستقیماً به گره ورودی ریخته می‌شوند افزایش g_m موجب افزایش نویز هم خواهد شد، مطابق رابطه (۹) جهت تحقق نرخ داده ۱۰ گیگا بیت بر ثانیه نیاز به پهنای باند ۷ گیگاهرتز است [۱۸]، بنابراین برای رسیدن به این پهنای باند، چاره‌ای جز افزایش همزمان توان مصرفی و نویز نخواهد بود، که این عیب اساسی مدار تقویت‌کننده امپدانس انتقالی گیت مشترک است.

$$BW = 0.7R_b \quad (۹)$$

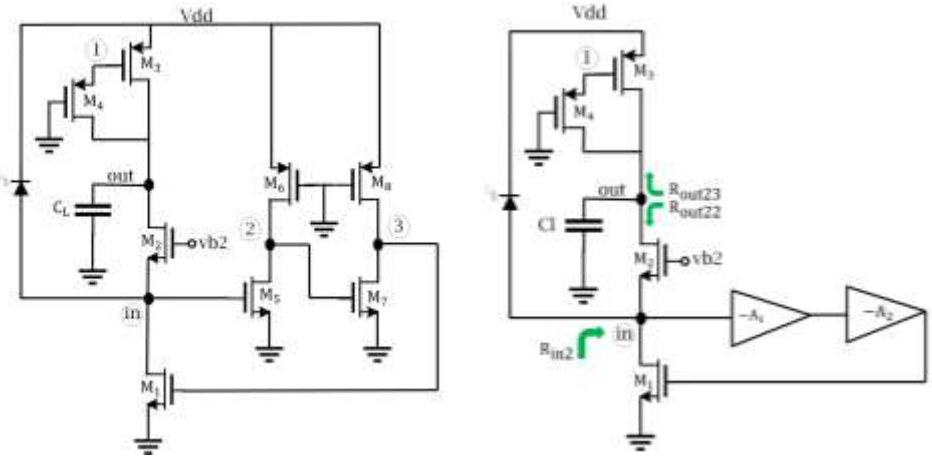
که در آن BW پهنای باند و R_b نرخ داده است. ترکیب دو ترانزیستورM_3 و M_4 تشکیل سلف فعال می‌دهند،R_{out13} مقاومت دیده شده از درین M_3 و M_4 ، همچنین L_1 سلف معادل به ترتیب از رابطه‌های (۱۰) و (۱۱) به‌دست می‌آیند. سلف L_1 یک صفر ایجاد می‌کند که با تعیین صحیح ابعاد ترانزیستورهای M_3 و M_4 می‌توان مکان صفر را در محل قطب گره خروجی قرار داد. در این

حالت، صفر و قطب شروع به تشدید می‌کنند و یک اوج[۹] یا همان بالازدگی سلفی ایجاد می‌شود با بهره گیری از این خاصیت بالازدگی سلفی، پهنای باند، بدون توان مصرفی بیشتر، افزایش می‌یابد [۱۷].

$$R_{out13}(s) = \frac{r_{ds4}C_{gs4}.s+1}{g_{m3}+C_{gs4}.s} \quad (۱۰)$$

$$L_1 = \frac{C_{gs4}}{g_{m3}}\left(r_{ds4}-\frac{1}{g_{m3}}\right) \quad (۱۱)$$

برای رفع مشکل بزرگ بودن مقاومت در گره‌های ورودی و خروجی و بهبود پهنای باند بدون افزایش توان مصرفی و نویز بیشتر، از فیدبک فعال استفاده شده است. همان‌طور که در شکل (۳-الف) مشاهده می‌شود چنانچه دو تقویت کننده فاز منفی سری شده با بهره‌های A_1 و A_2 به مدار تقویت‌کننده امپدانس انتقالی گیت مشترک اضافه شوند و خروجی آنها به گیت ترانزیستور M_1 وصل شود، نقش ترانزیستور M_1 از منبع جریان به یک ترانزیستور فیدبک فعال تبدیل خواهد شد و مدار جدید تقویت کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک ایجاد می‌شود. سطح ترانزیستوری مدار شکل (۳-الف) در شکل (۳-ب) نشان داده شده است، دو ترانزیستور M_6 و M_8 در ناحیه خطی کار می‌کنند و نقش مقاومتی دارند.



(ب) سطح ترانزیستوری (الف) بلوک دیاگرام

شکل (۳): تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک

Figure (3): Common gate Trans-Impedance Amplifier with common source active feedback, a) Block diagram, b) Transistor level

مقاومت گره‌های ورودی و خروجی به ترتیب در رابطه‌های (۱۲) و (۱۵) آمده است [۱۷]، از مقایسه رابطه‌های (۱) و (۱۲) به خوبی دیده می‌شود که مقاومت ورودی مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک در مقایسه با مدار تقویت‌کننده امپدانس انتقالی گیت مشترک کمتر شده است.

علاوه بر این از مقایسه رابطه‌های (۴) و (۱۵) مشاهده می‌شود که مقاومت معادل دیده شده گره خروجی، مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک در مقایسه با مدار تقویت‌کننده امپدانس انتقالی گیت مشترک کمتر شده است. با کوچک شدن مقاومت در گره‌های ورودی و خروجی، قطب‌های ورودی و خروجی بزرگتر خواهند شد به‌طوری‌که قطب خروجی محدودیتی برای دستیابی به پهنای باند ۷ گیگاهرتز ایجاد نخواهد کرد، ولی با توجه به بزرگ بودن خازن دیود نوری در گره ورودی، قطب گره ورودی به عنوان قطب غالب محدودیت در پهنای باند ایجاد خواهد کرد و همچنان نیاز است برای رسیدن به پهنای باند ۷ گیگاهرتز این قطب بزرگتر شود.

$$R_{in2} = \frac{1}{g_{m1}.A_1.A_2} \parallel \frac{1}{g_{m2}} \cong \frac{1}{g_{m1}.A_1.A_2} \quad (۱۲)$$

$$A_1 = g_{m5}\left(r_{ds5} \parallel r_{ds6}\right) \quad (۱۳)$$

$$A_2 = g_{m7}\left(r_{ds7} \parallel r_{ds8}\right) \quad (۱۴)$$

$$R_{out2} = R_{out23} \parallel R_{out22} = \frac{1}{g_{m3}} \parallel \frac{g_{m2}r_{ds2}}{g_{m1}.A_1.A_2} = \frac{1}{g_{m3}+\frac{g_{m1}.A_1.A_2}{g_{m2}r_{ds2}}} \quad (۱۵)$$

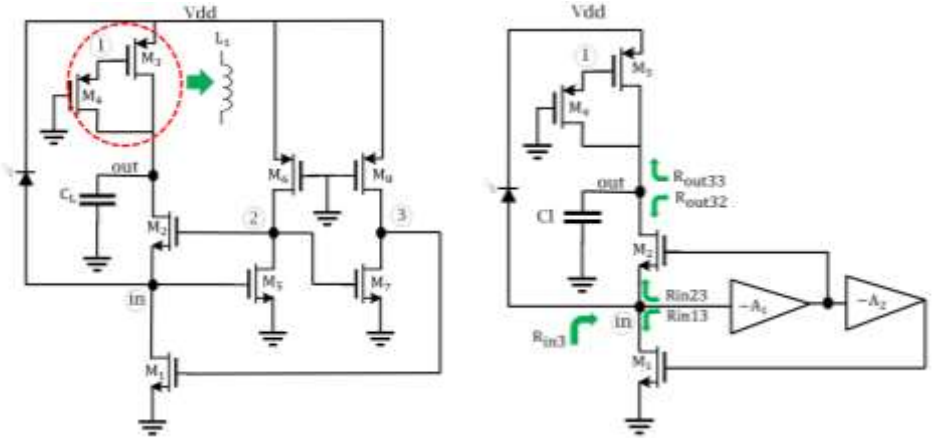
$$R_{out22} = g_{m2}r_{ds2}R_{in2} = \frac{g_{m2}r_{ds2}}{g_{m1}.A_1.A_2} \quad (۱۶)$$

$$R_{out23} = \frac{1}{g_{m3}} \quad (۱۷)$$

۲-۲-مدار تقویت‌کننده امپدانس انتقالی پیشنهادی

در مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک بزرگ بودن خازن دیود نوری چالش جدی برای رسیدن به پهنای باند ۷ گیگاهرتز بوده است. برای حل این معضل، بهبودی در مدار تقویت کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک ایجاد شده است که در شکل (۴-الف) مشاهده می‌شود. همان‌گونه که در این شکل دیده می‌شود، چنانچه یک مسیر پیشخور به مدار شکل (۳-الف) اضافه شود، از ظرفیت ترانزیستور M_2 به عنوان یک فیدبک فعال دیگر، برای کاهش مقاومت گره ورودی می‌توان بهره برد. با توجه به رابطه‌های (۲۶) و (۲۸) با اضافه کردن مسیر پیشخور، مقاومت گره خروجی تغییر آنچنانی ندارد ولی مقاومت گره ورودی باز هم کاهش چشم‌گیری نسبت به مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک می‌یابد. بنابراین با کوچکتر شدن مقاومت گره ورودی، مشکل محدودیت برای رسیدن به پهنای باند بزرگ ۷ گیگاهرتز مرتفع شده است.

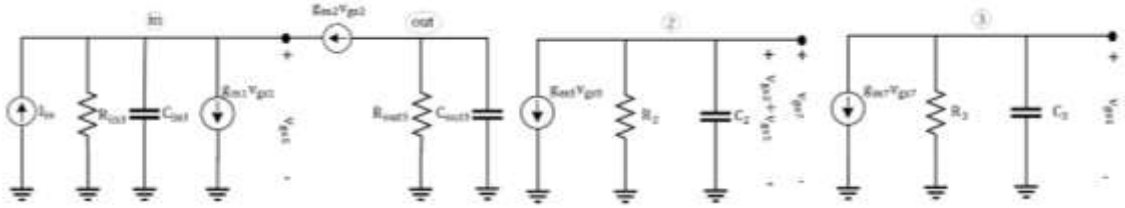
سطح ترانزیستور مدار پیشنهادی شکل (۴-الف) در شکل (۴-ب) نشان داده شده است، دو ترانزیستور M_6 وM_8 در ناحیه خطی کار می‌کنند و نقش مقاومتی دارند، همان‌طور که از شکل (۴-ب) مشاهده می‌شود مدار پیشنهادی یک مدار کسکود تنظیم شده، با ترکیب فیدبک فعال و مدار بالازدگی سلفی است. شکل (۵) مدار معادل سیگنال کوچک مدار تقویت‌کننده امپدانس انتقالی پیشنهادی را نشان می‌دهد، که معادله‌های KCL آن در گره‌های in، out، ۲ و ۳ به ترتیب به شرح زیر نوشته شده‌اند:



(الف) بلوک دیاگرام (ب) سطح ترانزیستوری

شکل (۴): مدار پیشنهادی تقویت‌کننده امپدانس انتقالی

Figure (4): Proposed circuit of the Trans-Impedance Amplifier, a) Block diagram, b) Transistor level



شکل (۵): مدار معادل سیگنال کوچک تقویت‌کننده امپدانس انتقالی پیشنهادی

Figure (5): Small signal equivalent circuit for Proposed Trans-Impedance Amplifier

$$I_{in} + g_{m2}v_{gs2} - g_{m1}v_{gs1} + v_{gs5}\left(\frac{1}{R_{in3}} + C_{in3}S\right) = 0 \quad (۱۸)$$

$$v_{out}\left(\frac{1}{R_{out3}}+C_{out3}S\right)+g_{m2}v_{gs2}=0 \quad (۱۹)$$

$$\left(v_{gs2}+v_{gs5}\right)\left(\frac{1}{R_2}+C_2S\right)+g_{m2}v_{gs2}=0 \quad (۲۰)$$

$$v_{gs1}\left(\frac{1}{R_3}+C_3S\right)+g_{m7}v_{gs7}=0 \quad (۲۱)$$

خازن‌های C_{in3}، C_{out3}، C_2، C_3 و همچنین مقاومت‌های R_{in3}، R_{out3}، R_2، R_3 خازن‌ها و مقاومت‌های دیده شده به ترتیب در گره‌های in، out، ۲ و۳ هستند که در معادله‌های زیر آورده شده‌اند [۱۷]:

$$C_{in3}=C_{PD}+\left(1-\frac{V_2}{V_{in}}\right)\left(C_{gs2}+C_{gd5}\right)+C_{gs5}+C_{db1}+\left(1-\frac{V_3}{V_{in}}\right)C_{gd1} \quad (۲۲)$$

$$C_{out3}=C_L+C_{db2}+\left(1-\frac{V_2}{V_{out}}\right)C_{gd2}+C_{gd3}+C_{db3}+C_{gd4}+C_{db3} \quad (۲۳)$$

$$C_2=C_{db5}+\left(1-\frac{V_{in}}{V_2}\right)\left(C_{gs2}+C_{gd5}\right)+\left(1-\frac{V_{out}}{V_2}\right)C_{gd2}+C_{db6}+C_{gd6}+C_{gs7}+\left(1-\frac{V_3}{V_2}\right)C_{gd7} \quad (۲۴)$$

$$C_3=C_{db7}+\left(1-\frac{V_2}{V_3}\right)C_{gd7}+C_{db8}+C_{gd8}+C_{gs1}+\left(1-\frac{V_{in}}{V_3}\right)C_{gd1} \quad (۲۵)$$

$$R_{in3}=R_{in13}\,\square\,R_{in23}=\frac{1}{g_{m1}A_1A_2}\,\square\,\frac{1}{g_{m2}\left(1+A_1\right)}=\frac{1}{g_{m1}A_1A_2+g_{m2}\left(1+A_1\right)} \quad (۲۶)$$

$$R_2=r_{ds5}\,\square\,\frac{1}{g_{ds6}} \quad (۲۷)$$

$$R_{out3}=\frac{1}{g_{m3}+\frac{g_{m1}A_1A_2}{g_{m2}r_{ds2}}} \quad (۲۸)$$

بعد از حل معادله‌های (۱۸) الی (۲۱) بهره مدار در فرکانس صفر تقویت کننده امپدانس انتقالی پیشنهادی م طابق راب طه (۲۹) به‌دست می‌آید.

$$Z_T(S=0)=\frac{V_{out}}{I_{in}}=\frac{g_{m2}{}^2r_{o2}}{2\left(g_{m2}+g_{m1}A_2\right)\left(g_{m3}g_{m2}r_{o2}+g_{m1}A_1A_2\right)} \quad (۲۹)$$

با توجه به بزرگ بودن خازن دیود نوری،S_{in3} قطب ورودی، قطب غالب است، لذا فرکانس قطع dB ۳- از رابطه (۳۱) به‌دست می‌آید [۱۷].

$$S_{in3}=\frac{1}{C_{in3}R_{in3}} \quad (۳۰)$$

$$f_{-3dB}=\frac{1}{2\pi C_{in3}R_{in3}}=\frac{g_{m1}A_1A_2+g_{m2}\left(1+A_1\right)}{2\pi C_{in3}} \quad (۳۱)$$

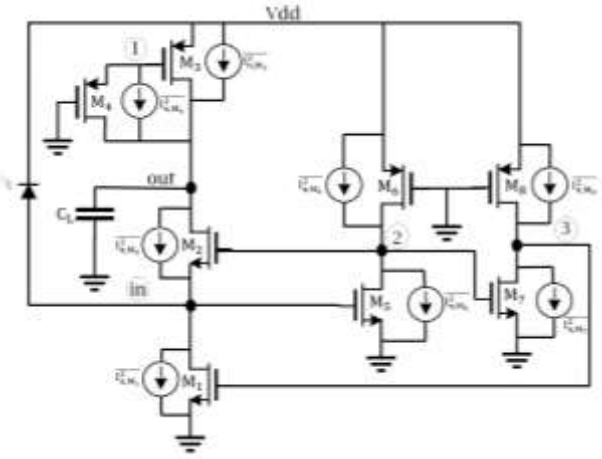
۲-۳-تحلیل نویز

مهمترین منبع نویز که در کانال ترانزیستورهای ماسفت تولید می‌شود نویز حرارتی است، برای ترانزیستورهای MOS با کانال بلند که در ناحیه اشباع کار می‌کنند، نویز را می‌توان با یک منبع جریان که بین پایانه های درین و سورس وصل شده مدل کرد، که چگالی طیفی آن از رابطه زیر به‌دست می‌آید [۱۷].

$$\overline{I_n^2}=4kT\gamma\left(g_m\right) \quad (۳۲)$$

که در آن k ثابت بولتزمن،T دما بر حسب کلوین و γ ضریب نویز حرارتی کانال ترانزیستور هستند. رابطه نویز منابع نویز حرارتی مدار تقویت کننده امپدانس انتقالی پیشنهادی در شکل (۶) نشان داده شده‌اند. ازآنجا که ترانزیستورM_2 به شکل گیت مشترک هست، می‌توان از جریان نویز تولیدی این ترانزیستور صرف‌نظر کرد [۱۷]. مطابق رابطه (۳۸) نویز ترانزیستورهای M_1، M_3 و M_4 مستیقماً به گره ورودی ریخته می‌شوند، بنابراین با کاهش g_m این ترانزیستورها می‌توان نویز را کاهش داد. از طرفی مطابق معادله‌های بهره (۲۹) و پهنای باند (۳۱)، کاهش g_m ترانزیستورهای M_1 و M_3 موجب افزایش بهره و کاهش پهنای باند خواهند شد، از نویز ترانزیستورهای M_7 و M_8 بدلیل اینکه بر مجذور بهره طبقه اول (A_1) و طبقه دوم (A_2) تقسیم می‌شود،

می‌توان صرف‌نظر کرد، افزایش g_m ترانزیستورM_5 موجب کاهش نویز و افزایش توان مصرفی می‌شود، بنابراین مصالحه‌ای بین پهنای باند، نویز، بهره و توان مصرفی دیده می‌شود.



شکل (۶): مدار معادل نویز حرارتی تقویت کننده امپدانس انتقالی پیشنهادی

Figure (6): Thermal equivalent noise circuit model of proposed trans-impedance amplifier

$$\overline{I_{n,in}^2} = \overline{I_{n,M_1}^2} + \overline{I_{n,M_3}^2} + \overline{I_{n,M_4}^2} + \overline{I_{n,M5,6}^2} \quad (۳۳)$$

$$\overline{I_{n,M5,6}^2} = 4kT\gamma\left(\frac{1}{g_{m5}} + \frac{g_{ds6}}{\gamma g_{m5}^2}\right)\left(C_{in3}^2 s^2 + \frac{1}{R_{in3}^2}\right) \quad (۳۴)$$

$$\overline{I_{n,M_1}^2} = 4kT\gamma(g_{m1}) \quad (۳۵)$$

$$\overline{I_{n,M_3}^2} = 4kT\gamma(g_{m3}) \quad (۳۶)$$

$$\overline{I_{n,M_4}^2} = 4kT(g_{ds,M_4}) \quad (۳۷)$$

$$\overline{I_{n,in}^2} = 4kT\gamma\left[\left(g_{m1}+g_{m3}+\frac{1}{\gamma}g_{ds,M_4}\right)+\left(\frac{1}{g_{m5}}+\frac{g_{ds6}}{\gamma g_{m5}^2}\right)\left(C_{in3}^2 s^2+\frac{1}{R_{in3}^2}\right)\right] \quad (۳۸)$$

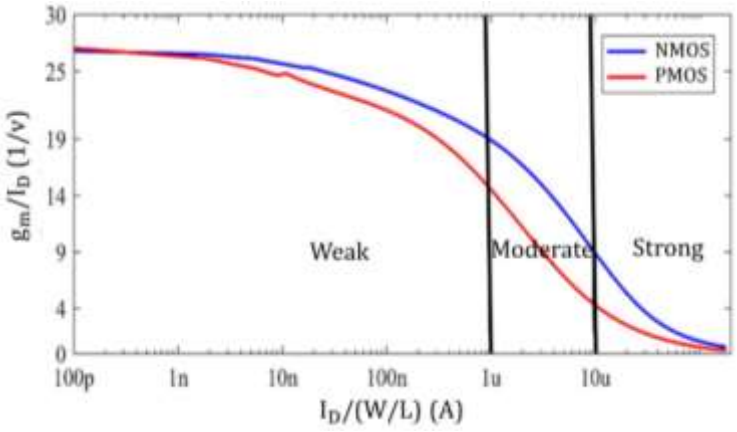
۳- روش نسبت هدایت انتقالی به جریان درین

برای طراحی مدارات آنالوگ از روش g_m/I_D که با استفاده از یک منحنی وابسته به فناوری انجام می‌گیرد استفاده می‌شود. با استفاده از این روش امکان انتخاب مناسب ابعاد ترانزیستور به شکل موثرتری فراهم می‌شود. منحنی ذکر شده در روش g_m/I_D، مستقل از ابعاد و مربوط به تمام نواحی کار ترانزیستورها (وارونگی شدید، وارونگی متوسط و وارونگی ضعیف) است و از آن می‌توان در طراحی ابعاد تمام ترانزیستورهای استفاده شده در یک فناوری، با در نظر گرفتن ناحیه کار ترانزیستورها استفاده نمود. مشخصه اصلی هر ناحیه کار ترانزیستور، در جدول (۱) خلاصه شده است. ناحیه عملکردی هر ترانزیستور بستگی به اینکه آن ترانزیستور در مدار نقش منبع جریان، تقویت کننده یا بار فعال را داشته باشد، به ترتیب وارونگی شدید، وارونگی متوسط و وارونگی ضعیف انتخاب می‌شود. در واقع در روشg_m/I_D، متغیرهای طراحی از ابعاد ترانزیستور به مقادیر g_m/I_D برای هر ترانزیستور تغییر یافته است. با تعیین مناسب مقادیر g_m/I_D و I_D متناسب با ناحیه عملکردی هر ترانزیستور با نقش از پیش تعیین شده بر اساس جدول (۱)، ابعاد ترانزیستور (W,L) بوسیله منحنی مشخصه براحتی قابل محاسبه است. شکل (۷) منحنی مشخصهg_m/I_D بر حسب I_D /(W/L) برای ترانزیستورهای NMOS و PMOS در فناوری ۹۰ نانومتر را نشان می‌دهد. بعد از تعیین مقادیرg_m/I_D و I_D ، از روی این منحنی مشخصه مقدار I_D /(W/L) به‌دست می‌آید. با مشخص بودن جریانI_D، ابعاد هر ترانزیستور استخراج می‌شود.

Table (1): Performance characteristic of each region [11]

جدول (۱): مشخصه عملکردی هر ناحیه [۱۱]

ناحیه وارونگی	مشخصه ناحیه
وارونگی ضعیف	توان پایین، بهره بالا
وارونگی متوسط	بهره و پهنای باند متوسط
وارونگی شدید	سرعت بالا، توان مصرفی بالا



شکل (۷): شبیه‌سازی نسبت هدایت انتقالی به جریان درین در فناوری ۹۰ نانومتر

Figure (7): Simulated ratio of transconductance to drain current characteristic in 90nm CMOS technology

برای طراحی تقویت‌کننده امپدانس انتقالی پیشنهادی بر پایه روش g_m/I_D می‌توان معادله‌های (۲۹)، (۳۱) و (۳۸) که شامل بهره ، فرکانس قطع dB ۳- و نویز هستند بر حسب دو متغیر g_m/I_D و I_D به صورت زیر نوشت:

$$Z_T(S=0)=\frac{I_{D2}\left(\left(\frac{g_m}{I_D}\right)_2\right)^2}{2I_{D1}^2\left(\left(\frac{g_m}{I_D}\right)_2+\left(\frac{g_m}{I_D}\right)_1\left(\frac{g_m}{I_D}\right)_7\right)\left(\left(\frac{g_m}{I_D}\right)_3\left(\frac{g_m}{I_D}\right)_2+\frac{1}{4}\left(\frac{g_m}{I_D}\right)_1\left(\frac{g_m}{I_D}\right)_5\left(\frac{g_m}{I_D}\right)_7\right)} \quad (۳۹)$$

$$f_{-3dB}=\frac{I_{D2}\left(\frac{g_m}{I_D}\right)_2+\left(1+\frac{1}{2\lambda}\left(\frac{g_m}{I_D}\right)_5\right)+\frac{I_{D1}}{2\lambda}\left(\frac{g_m}{I_D}\right)_1\left(\frac{g_m}{I_D}\right)_5\left(\frac{g_m}{I_D}\right)_7}{2\pi C_{in3}} \quad (۴۰)$$

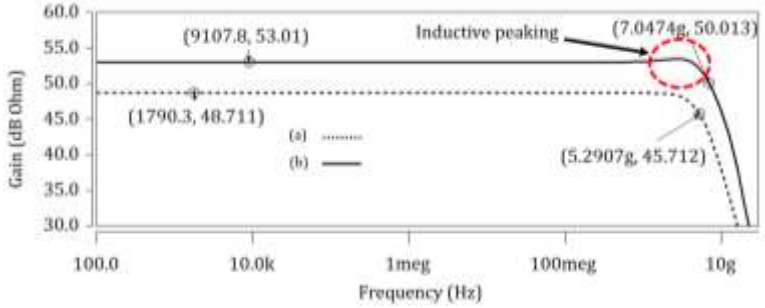
$$\overline{I_{n,in}^2}=4kT\gamma\left[\left(I_{D1}\left(\left(\frac{g_m}{I_D}\right)_1+\left(\frac{g_m}{I_D}\right)_3\right)+\frac{1}{\gamma\lambda I_{D4}}\right)\right]+ \quad (۴۱)$$

$$\left(\frac{1}{I_{D5}\left(\frac{g_m}{I_D}\right)_5}+\frac{\frac{1}{\lambda I_{D6}}}{\gamma\left(I_{D5}\left(\frac{g_m}{I_D}\right)_5\right)^2}\right)\left(C_{in3}^2s^2+\left[I_{D2}\left(\frac{g_m}{I_D}\right)_2+\left(1+\frac{1}{2\lambda}\left(\frac{g_m}{I_D}\right)_5\right)+\frac{I_{D1}}{2\lambda}\left(\frac{g_m}{I_D}\right)_1\left(\frac{g_m}{I_D}\right)_5\left(\frac{g_m}{I_D}\right)_7\right]^2\right)$$

۴-نتایج شبیه‌سازی

شکل (۸) پاسخ فرکانسی دو مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک و تقویت‌کننده امپدانس انتقالی پیشنهادی را نشان می‌دهد، نمودار (الف- نقطه چین) پاسخ فرکانسی مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک را نشان می‌دهد. بهره ۴۸/۷۱ دسی بل اهم و پهنای باند ۵/۲۹ گیگاهرتز است. علاوه برآن همان‌طور که قبلاً اشاره شد، اضافه کردن مسیر پیشخور به مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک، یک مدار تقویت‌کننده امپدانس انتقالی پیشنهادی ایجاد می‌شود که از دو فیدبک فعال بهره می‌برد، نمودار (ب- خط ممتد) پاسخ فرکانسی مدار تقویت‌کننده امپدانس انتقالی پیشنهادی را نشان می‌دهد. همان‌طور که ملاحظه می‌شود در مدار پیشنهادی با ترکیب دو فیدبک فعال و یک روش بالا زدگی سلفی، پهنای باند از۵/۲۹ گیگاهرتز به ۷/۰۵

گیگاهرتز افزایش یافته است. استفاده از ساختار پیشخور باعث می‌شود که سیگنال از این مسیر هم عبور کند و به خروجی تزریق شود و بهره افزایش یابد و همانطور که نمودار بهره مشخص است، مقدار بهره از ۴۸/۷۱ دسی بل اهم معادل ۲۷۲/۵۸ به ۵۳/۰۱ دسی بل اهم معادل ۴۴۷/۱۹ افزایش یافته است. بنابراین استفاده از ساختار پیشخور، هم‌زمان افزایش بهره و پهنای باند را بدون مصرف توان بیشتر به همراه داشته‌است و به نوعی شکست تقابل بین بهره و پهنای باند را فراهم کرده است. از طرف دیگر مدار با منبع تغذیه ۱/۱ ولتی و پهنای باند ۷/۰۵ گیگاهرتز و بهره ۵۳/۰۱ دسی بل اهم، صرفاً ۱/۳ میلی‌وات توان مصرف داشته‌است.



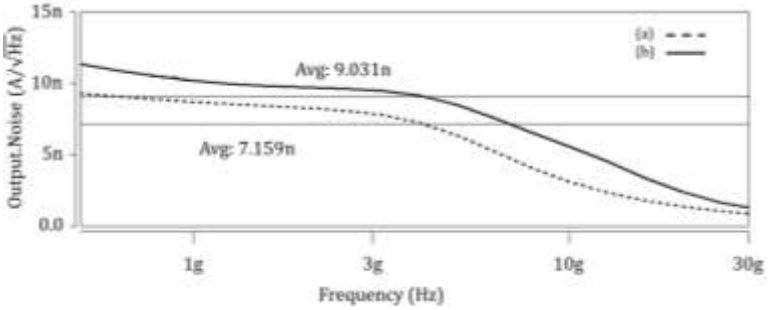
شکل (۸): پاسخ فرکانسی تقویت‌کننده امپدانس انتقالی

Figure (8): Frequency response simulation result of the proposed TIA

نمودار شکل (۹) میانگین نویز خروجی در پهنای باند ۷ گیگاهرتز دو مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک و مدار پیشنهادی را نشان می‌دهد. بر اساس این نمودار بسته شدن مسیر پیشخور، اگرچه مقدار اندکی به میانگین نویز خروجی اضافه کرده است و مقدار نویز خروجی از ۷/۱۵ نانوآمپر بر جذر هرتز به ۹/۰۳ نانوآمپر بر جذر هرتز رسیده‌است، ولی همانطور که قبلا اشاره شد مسیر پیشخور تقریباً افزایش ۶۴ درصدی بهره را فراهم کرده است با توجه به رابطه (۴۲) که در آن $V_{n,out}^2$ ولتاژ نویز خروجی، A_V بهره تقویت کننده و $\overline{V_{n,in}^2}$ ولتاژ نویز ارجاع شده به ورودی است [۱۷]، چنانچه اندک افزایش نویز خروجی بر مجذور افزایش بزرگ بهره تقسیم شود، قطعاً انتظار می‌رودکاهش چشمگیری در نویز ارجاع شده به گره ورودی ایجاد شود، که این کاهش نویز در نمودار (ب) به‌خوبی نمایان است.

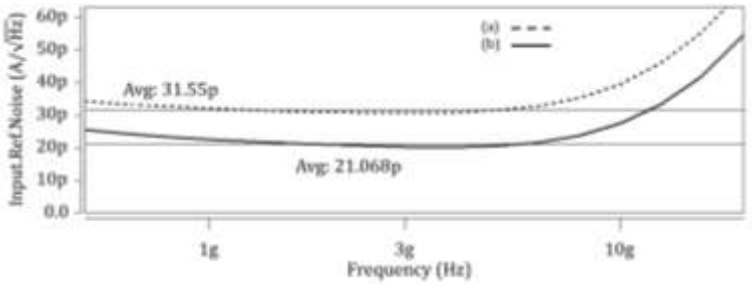
$$\overline{V_{n,in}^2} = \frac{V_{n,out}^2}{A_V^2} \qquad (۴۲)$$

نویز ارجاع شده به گره ورودی برای دو مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک و مدار تقویت کننده امپدانس انتقالی پیشنهادی در شکل (۱۰) نشان داده شده است. نمودار خط نقطه چین میانگین نویز ارجاع شده به گره ورودی مدار تقویت کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک را ۳۱/۵۵ پیکوآمپر بر جذر هرتز نشان می‌دهد، نمودار خط ممتد میانگین نویز ارجاع شده به گره ورودی مدار تقویت‌کننده امپدانس انتقالی پیشنهادی را ۲۱/۰۶ پیکوآمپر بر جذر هرتز نشان می‌دهد، به عبارتی میانگین نویز به مقدار ۳۳/۲ درصد کاهش یافته است. بنابراین اضافه کردن مسیر پیشخور علاوه بر اینکه افزایش بهره را به همراه داشته، کاهش چشم‌گیری هم در نویز برای مدار تقویت‌کننده امپدانس انتقالی پیشنهادی فراهم کرده است.



شکل (۹): میانگین نویز خروجی

Figure (9): Average output noise Frequency response simulation result of the proposed TIA



شکل (۱۰): نویز ارجاع شده به ورودی

Figure (10): Input referred noise

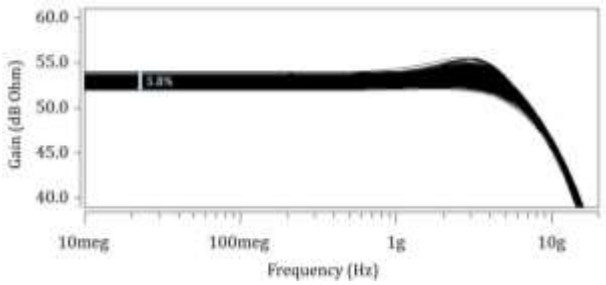
در جدول (۲) عملکرد پاسخ فرکانسی و نویز دو مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک و مدار پیشنهادی مقایسه شده است. از مقایسه دو حالت، بهره از ۴۸/۷ به ۵۳/۰۱ دسی بل اهم افزایش یافته، مقدار پهنای باند از ۵/۲۹ به ۷/۰۵ گیگاهرتز افزایش یافته و همچنین مقدار نویز ارجاع شده به ورودی از مقدار ۳۱/۵۵ به ۲۱/۰۶ پیکوآمپر بر جذر هرتز کاهش همانطور که از مقادیر این جدول مشاهده می‌شود مقدار توان در هر دو حالت ۱/۳ میلی‌وات است و هیچ گونه افزایشی در توان مصرفی ایجاد نشده است.

Table (2): Comparison of frequency response, noise and power consumption of the Common gate Trans-Impedance Amplifier with common source active feedback and Proposed circuit

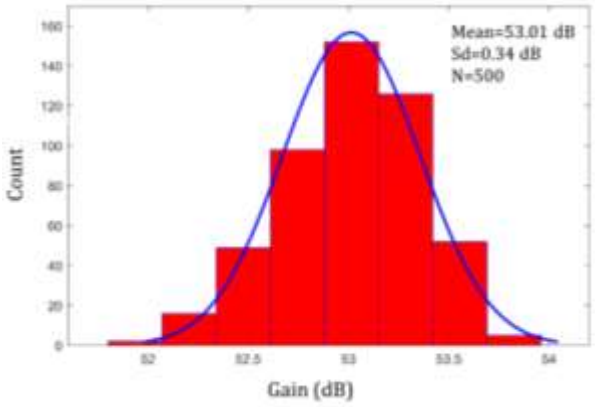
جدول (۲): مقایسه پاسخ فرکانسی، نویز و توان مصرفی مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک و مدار پیشنهادی

کمیت / مدل	بهره (دسی بل اهم)	پهنای باند (گیگاهرتز)	نویز (پیکوآمپر بر جذر هرتز)	توان مصرفی (میلی‌وات)
مدار تقویت‌کننده امپدانس انتقالی گیت مشترک با فیدبک فعال سورس مشترک	۴۸/۷	۵/۲۹	۳۱/۵۵	۱/۳
مدار پیشنهادی	۵۳/۰۱	۷/۰۵	۲۱/۰۶	۱/۳

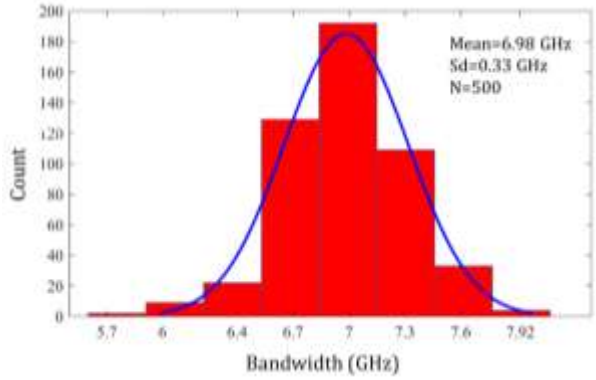
به‌منظور تحلیل اثرات غیر مطلوب فرآیند ساخت و بررسی اثر تغییرات ابعاد ترانزیستورها در عملکرد آن، از تحلیل مونت کارلو استفاده شده است، در شکل (۱۱-الف)، نتایج حاصل از تکرار ۵۰۰ بار شبیه‌سازی مونت کارلو برای بهره و پهنای باند مدار تقویت کننده امپدانس انتقالی پیشنهادی و با اعمال ۱۰ درصد تغییرات در ابعاد ترانزیستورها نشان داده شده است. مطابق شکل (۱۱-ب) مقدار میانگین بهره به‌دست آمده برای این تقویت کننده امپدانس انتقالی۵۳/۰۱ دسی بل اهم با انحراف معیار ۰/۳۴ دسی بل اهم است. در شکل (۱۱-ج) ، مقدار میانگین پهنای باند به‌دست آمده ۶/۹۸ گیگاهرتز با انحراف معیار۰/۳۳ گیگاهرتز نشان داده شده است.



(الف) پاسخ فرکانسی



(ب) بهره

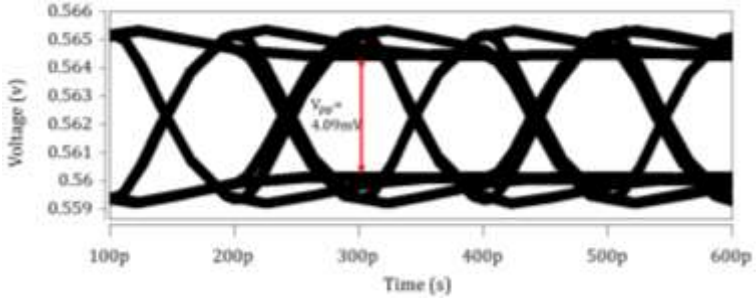


(ج) پهنای باند

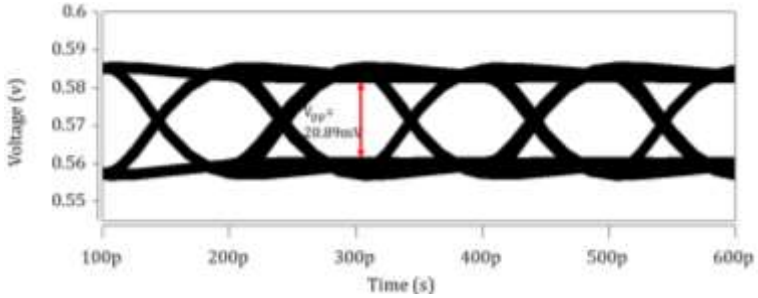
شکل (۱۱): تحلیل مونت کارلو مدار تقویت‌کننده امپدانس انتقالی پیشنهادی

Figure (11): Monte-Carlo analysis of the proposed Trans-Impedance Amplifier circuit, a) Frequency response, b) Gain , C) Bandwidth

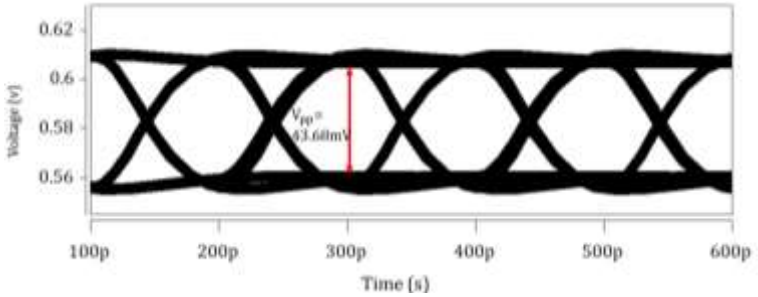
برای تجزیه و تحلیل کیفیت سیگنال خروجی مدار تقویت‌کننده امپدانس انتقالی پیشنهادی، نمودار دیاگرام چشمی مدار به ازای چهار جریان ورودی تصادفی با سرعت ۱۰ گیگابیت بر ثانیه با دامنه‌های ۱۰ میکروآمپر، ۵۰ میکروآمپر، ۱۰۰ میکروآمپر و ۲۰۰ میکروآمپر شبیه‌سازی شده است.



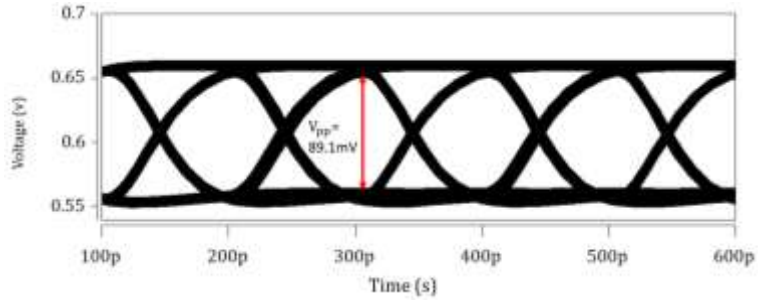
(الف) جریان ورودی ۱۰ میکروآمپر



(ب) جریان ورودی ۵۰ میکروآمپر



(ج) جریان ورودی ۱۰۰ میکروآمپر



(د) جریان ورودی ۲۰۰ میکروآمپر

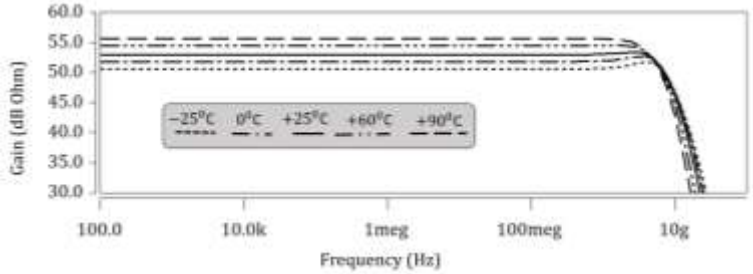
شکل (۱۲): نمودار چشمی مدار تقویت کننده کننده امپدانس انتقالی پیشنهادی

Figure (12): Eye-diagram of the proposed trans-impedance amplifier a) For input current of 10 μA, b) For input current of 50 μA, c) For input current of 100 μA, d) For input current of 200 μA

شکل (۱۲- الف) نمودار چشمی سیگنال ورودی ۱۰ میکروآمپر، شکل (۱۲-ب) نمودار چشمی سیگنال ورودی ۵۰ میکروآمپر، شکل (۱۲-ج) نمودار چشمی سیگنال ورودی ۱۰۰ میکروآمپر و شکل (۱۲-د) نمودار چشمی سیگنال ورودی ۲۰۰ میکروآمپر را نشان می‌دهد. همان‌طور که مشاهده می‌شود چشم عمودی تا مقدار قابل توجهی باز است که این موضوع نشان دهنده قدرت سوئینگ[۱۰] بالای تقویت‌کننده پیشنهادی برای جریان‌های بسیار کم است. این تقویت کننده برای جریان ورودی۱۰ میکروآمپر تا ۴/۰۹ میلی‌ولت، برای ۵۰ میکروآمپر تا ۲۰/۸۹ میلی‌ولت، برای ۱۰۰ میکروآمپر تا ۴۳/۶۸ میلی‌ولت سوئینگ و برای ۲۰۰ میکروآمپر تا ۸۹/۱ میلی‌ولت سوئینگ را در خروجی نشان می‌دهد.

به‌منظور آنالیز عملکرد تقویت‌کننده امپدانس انتقالی پیشنهاد شده، تحت شرایط دمایی مختلف، تأثیر دماهای مختلف بر روی بهره و فرکانس قطع dB ۳- بررسی گردید. نتایج به‌دست آمده در شکل (۱۳) و جدول (۳) نشان شده است. جریان ترانزیستورها در اثر افزایش دما کاهش می‌یابد [۱۹]، در اثر کاهش جریان، (g_m) هدایت انتقالی ترانزیستورها کاهش می‌یابد [۱۷]، مطابق رابطه (۲۹) بهره، با کاهش g_m، مخرج کسر رشد کاهشی بیشتری نسبت به صورت کسر خواهد داشت که در نتیجه آن بهره افزایش خواهد یافت. شکل (۱۴) امپدانس ورودی سه تقویت‌کننده امپدانس انتقالی الف) گیت مشترک ب) گیت مشترک با فیدبک فعال سورس مشترک و ج) مدار پیشنهادی را نشان می‌دهد. امپدانس ورودی تقویت‌کننده امپدانس انتقالی گیت مشترک ۲۸۱/۳۶ اهم است، با اضافه شدن فیدبک فعال به مدار گیت مشترک، امپدانس ورودی به ۱۳۸/۳۵ اهم

کاهش یافته است، در مدار پیشنهادی با بهره‌گیری از دو فیدبک فعال امپدانس ورودی به ۶۴/۹۵ اهم کاهش یافته است که نتایج به‌دست آمده در سه نمودار با معادله‌های (۱)، (۱۲) و (۲۶) مطابقت دارد.



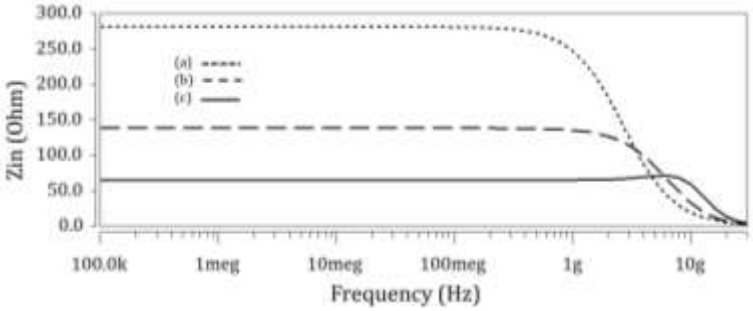
شکل (۱۳): پاسخ فرکانسی تقویت کننده امپدانس انتقالی پیشنهادی در دماهای مختلف

Figure (8): Frequency response of the proposed Trans-Impedance Amplifier at different temperatures

Table (3): The effect of temperature on the gain and bandwidth of the Trans-Impedance amplifier at different temperatures.

جدول (۳): تأثیر دما بر روی بهره و پهنای باند تقویت کننده امپدانس انتقالی در دماهای مختلف

دما (درجه سانتی گراد)	−۲۵	۰	+۲۵	+۶۰	+۹۰
بهره (دسی بل)	۵۰/۵۵	۵۱/۷۷	۵۳/۰۱	۵۴/۴۱	۵۵/۶
پهنای باند (گیگاهرتز)	۹/۳	۸/۲۷	۷/۰۴	۵/۶۶	۴/۶



شکل (۱۴): امپدانس ورودی سه تقویت کننده امپدانس انتقالی

Figure (14): Input Impedance three Trans-Impedance Amplifier

در جدول (۴) عملکرد تقویت کننده امپدانس انتقالی پیشنهادی با چند ساختار تقویت کننده امپدانس انتقالی دیگر مقایسه شده است. همانطور که مشاهده می‌شود توان مصرفی این کار در مقایسه با سایر کارها کمترین مقدار است. علاوه بر آن نویز این مدار، بجز از سه مرجع [۱۵]، [۲۰] و [۳] از سایر کارها کمترین است. مرجع [۱۵] برای دستیابی به مقدار نویز ۱۵ پیکوآمپر بر جذر هرتز بیشترین توان مصرفی را نسبت به سایر کارها داشته است، به‌طوری که میزان توان مصرفی آن حدود ۳۰ برابر نسبت به این کار است، ضمن اینکه از دو سلف غیر فعال برای افزایش پهنای باند استفاده کرده است. به‌کارگیری سلف غیرفعال خود موجب افزایش سطح اشغال تراشه خواهد شد. مرجع [۲۰] اگرچه نویزی تقریباً برابر نویز مدار پیشنهادی دارد ولی بهره آن بسیار کمتر از بهره مدار پیشنهادی است.توان مصرفی مرجع [۳] بیش از چهار برابر و بهره آن کمتر از یک چهارم این کار است. برای مقایسه بهتر عملکرد تقویت‌کننده امپدانس انتقالی پیشنهادی با سایر ساختارهای تقویت‌کننده امپدانس انتقالی گزارش شده و بیان دقیق نتایج به‌صورت کمّی، از دو ضریب حد شایستگی[۱۱] FOM1 و FOM2 رابطه‌های (۴۳) و (۴۴) استفاده شده [۱،۲،۷،۲۰] تا مقایسه‌ای جامع با در نظر گرفتن تمامی پارامترهای مؤثر شامل بهره، توان مصرفی، پهنای باند، نویز معادل گره ورودی و خازن ورودی مدار انجام شود. ترکیب به‌کارگیری دو فیدبک فعال، روش بالازدگی سلفی و g_m/I_D عملکرد این مطالعه را نسبت به سایر تحقیق‌ها به‌صورت ویژه‌ای متمایز کرده که مقادیر عددی ۲۴۲۵/۰۶ برای FOM1 و ۲۳/۰۳ برای FOM2 تأیید کننده این موضوع است.

$$FOM1 = \frac{Gain(\Omega)\times Bandwidth(GHz)}{Power\ consumption(mW)} \quad (۴۳)$$

$$FOM2 = \frac{Gain(\Omega)\times Bandwidth(GHz)\times C_{in}(pF)}{Power\ consumption(mW)\times Input\ Referred\ Noise\left(\frac{pA}{\sqrt{Hz}}\right)} \quad (۴۴)$$

Table (4): Performance comparison between the proposed Trans-Impedance Amplifier and other reported designs

جدول (۴): مقایسه عملکرد مدار پیشنهادی تقویت کننده امپدانس انتقالی با سایر کارها

مرجع	[۱۵]	[۲]	[۲۰]	[۳]	[۴]	[۲۱]	[۱]	[۲۲]	[۲۳]	[۲۴]	این کار
سال	۲۰۱۶	۲۰۱۷	۲۰۱۸	۲۰۲۰	۲۰۲۱	۲۰۲۱	۲۰۲۱	۲۰۲۲	۲۰۲۲	۲۰۲۳	۲۰۲۳
تکنولوژی سی‌ماس (نانومتر)	۱۸۰	۱۸۰	۹۰	۹۰	۱۳۰	۹۰	۹۰	۹۰	۶۵	۱۸۰	۹۰
منبع تغذیه (ولت)	۱/۸	۱/۸	۱	۱	۱/۳	۱	۱/۲	۱	۱	۱/۸	۱/۱
توان تلفاتی (میلی وات)	**۳۴/۸**	**۱۸**	**۱/۴**	**۵/۸**	**۱۲/۲**	**۱/۵**	**۱/۶**	**۲۹**	**۲۳/۹**	**۳/۲**	**۱/۳**
بهره (دسی-بل)	۵۸	۵۹	۴۰/۵	۴۱	۴۷	۴۰/۱	۴۰	۴۰	۴۶	۵۳/۲	۵۳/۰۱
پهنای باند (گیگا هرتز)	۸/۱	۷/۹	۷	۸/۷۵	۱۰/۱	۶/۹۲	۶/۴	۲۵/۸۵	۱۱/۴	۹/۲	۷/۰۵
نویز ارجاع شده به ورودی (پیکوآمپر بر جذر هرتز)	۱۵	۲۳	۲۰/۳	۱۴/۴۷	۴۲	۲۴	۲۵	۲۵	۴۶/۶	-	۲۱/۰۶
خازن دیود نوری (فمتو فاراد)	۳۰۰	۳۰۰	۲۰۰	۲۵۰	۱۰۰۰	۲۰۰	۲۵۰	-	۱۰۰	۴۵۰	۲۰۰
تعداد سلف غیر فعال	۲	۲	-	-	-	-	-	-	-	-	-
FOM1	۱۸۴/۹	۳۹۱	۵۲۹/۶۳	۱۶۹/۲۷	۱۸۵/۳۳	۴۶۶/۶۷	۴۰۰	۸۹/۱۷	۹۵/۱۷	۱۳۱۴/۱۲	۲۴۲۵/۲
FOM2	۳/۷	۵/۱	۵/۲۱	۲/۹۲	۴/۴۱	۳/۸۸	۴	-	۰/۲	-	۲۳/۰۳
نوع کار	شبیه-سازی	پست لایوت	شبیه-سازی	شبیه-سازی	پست لایوت	پست لایوت	پست لایوت	پست لایوت	شبیه-سازی	شبیه-سازی	شبیه-سازی

۵- نتیجه‌گیری

در این مقاله یک مدار تقویت‌کننده امپدانس انتقالی با توان مصرفی و نویز کم و پهنای باند بزرگ برای کاربردهای ۱۰ گیگابیت بر ثانیه ارائه شده است. این مدار پیشنهادی کاملاً در سطح ترانزیستوری بدون استفاده از عناصر غیرفعال مانند سلف، خازن و مقاومت طراحی شده است. علاوه بر آن از هیچ‌گونه مدارهای جانبی برای تأمین ولتاژهای تغذیه در این مدار استفاده نشده و مدار صرفاً از یک منبع تغذیه استفاده می‌کند. برای کاهش توان مصرفی، نویز و همچنین افزایش بهره و پهنای باند این مدار از ترکیب دو روش فیدبک فعال و بالازدگی سلفی استفاده شده و همچنین از روش g_m/I_D جهت به حداقل رساندن توان مصرفی و نویز بهره استفاده شده است. مطابق جدول (۲) و شکل‌های (۸) و (۱۰) با اعمال روش g_m/I_D و فیدبک فعال مقدار بهره ۱/۶ برابر از ۴۸/۷ به ۵۳/۰۱ دسی‌بل اهم (از ۲۷۲/۲ به ۴۴۷/۲ اهم) افزایش یافته، مقدار پهنای باند از ۵/۲۹ به ۷/۰۵ گیگاهرتز

افزایش یافته و مقدار نویز ارجاع شده به ورودی با کاهش ۳۴ درصدی از مقدار ۳۱/۵۵ به ۲۱/۰۶ پیکوآمپر بر جذر هرتز کاهش داشته است. علاوه بر اینکه افزایش بهره، پهنای باند و همچنین کاهش نویز در شرایطی بوده که هیچ‌گونه افزایشی در توان مصرفی وجود نداشته و توان مصرفی در مقدار حداقلی ۱/۳ میلی‌وات باقی‌مانده است که این مقدار حداقلی توان مصرفی نتیجه به‌کارگیری روش g_m/I_D بوده است. نتایج شبیه‌سازی نشان می‌دهند که مدار پیشنهادی، عملکرد خوبی به عنوان یک مدار تقویت‌کننده امپدانس انتقالی جهت استفاده در سیستم‌های گیرنده نوری از خود نشان می‌دهد. در پایان با توجه به اینکه تمرکز این مطالعه بر روی متغیرهای توان مصرفی و نویز بوده، برای تحقیق‌های آینده، پایداری مدار و دیاگرام چشمی برای جریان‌های ورودی بالاتر پیشنهاد می‌گردد.

References
مراجع

[1] M.D. Farashah, M. Pourahmadi, A. Mirvakili, "Survey of using a cascoded inverter as a booster amplifier in a regulated cascode circuit for the low power optical receiver applications for 10Gb/s bit rates using 90nm CMOS technology", Journal of Nonlinear Systems in Electrical Engineering, vol. 7, no. 2, pp. 160-176, Dec. 2021 (dor: 20.1001.1.23223146.1399.7.2.6.0).

[2] M. Seifouri, P. Amiri, I. Dadras, "A transimpedance amplifier for optical communication network based on active voltage-current feedback", Microelectronics Journal, vol. 67, pp. 25-31, Sept. 2017 (doi: 10.1016-/j.mejo.2017.07.003).

[3] M. Dolatshahi, S.M. Mirsanei, M.A. Dehkordi, S. Zohoori, "Analyzing the effect adding an active feedback network with an inductive behavior to a common-gate topology as a transimpedance amplifier for low-power and wide-band communication applications", Nonlinear Systems in Electrical Engineering, vol. 6, no. 2, pp. 32-50, Dec. 2020 (dor: 20.1001.1.23223146.1398.6.2.5.2).

[4] E.S. Parapari, Z.D. Koozehkanani, S. Toofan, "A 10-GHz inductor less modified regulated cascode transimpedance amplifier for optical fiber communication", Microelectronics Journal, vol. 114, Article Number: 105123, Aug. 2021 (doi: 10.1016/j.mejo.2021.105123).

[5] S.R. Qasemi, M. Rafati, P. Amiri, "A 10 Gb/s noise-canceled transimpedance amplifier for optical communication receivers", Analog Integrated Circuits and Signal Processing, vol. 101, pp. 669-680, Oct. 2019 (doi: org/10.1007/s10470-019-01546-3).

[6] R. Soltanisarvestani, S. Zohoori, "A. Soltanisarvestani, A rgc-based, low-power, CMOS transimpedance amplifier for 10 Gb/s optical receivers", International Journal of Electronics, vol. 107, pp. 444-460, Sept. 2020 (doi: 10.1080/00207217.2019.1661027).

[7] S. Honarmand, M. Pourahmadi, M.R. Shayesteh, K. Abbasi, "Design of an inverter-base, active-feedback, low-power transimpedance amplifier operating at 10 Gbps", Journal of Circuits, Systems and computers, vol. 30, no. 6, Article Number: 2150110, May. 2021 (doi: 10.1142/S0218126621501103).

[8] S. Zohoori, M. Dolatshahi, "A cmos Low-power optical front-end for 5 Gbps applications", Fiber and Integrated Optics, vol. 37, no. 1, pp. 37-56, Feb. 2018 (doi: 10.1080/01468030.2018.1431336).

[9] S. Zohoori, M. Dolatshahi, M. Pourahmadi, M. Hajisafari, "An inverter-based, cmos, low-power optical receiver front-end", Fiber and Integrated Optics, vol. 38, no. 1, pp. 1-20, Jan. 2019 (doi: 10.1080/01468030.2019.1567871).

[10] A. Girardi, S. Bampi, "Power constrained design optimization of analog circuits based on physical gm/ID characteristics", Proceedings of the 19th annual symposium on Integrated circuits and systems design, pp. 89-93, Sept. 2006 (doi: 10.1145/1150343.1150370).

[11] M. Dolatshahi, O. Hashemipour, K. Navi, "A new systematic design approach for low-power analog integrated circuits", AEU-International Journal of Electronics and Communications, vol. 66, no. 5, pp. 384-389, May 2012 (doi: 10.1016/j.aeue.2011.09.005).

[12] M. Akbari, O. Hashemipour, "Design and analysis of folded cascode OTAs using gm/ID methodology based on flicker noise reduction", Analog Integrated Circuits and Signal Processing, vol. 83, pp. 343-352, Apr. 2015 (doi: 10.1007/s10470-015-0535-x).

[13] M. Akbari, M. Shokouhifar, O. Hashemipour, A. Jalali, A. Hassanzadeh, "Systematic design of analog integrated circuits using ant colony algorithm based on noise optimization", Analog Integrated Circuits and Signal Processing, vol. 86, pp. 327-339, Feb. 2016 (doi: 10.1007/s10470-015-0682-0).

[14] S. Zohoori, M. Dolatsahi, "An inductor-less, 10Gbps trans-impedance amplifier operating at low supply-voltage", Proceeding of the IEEE/ICEE, pp. 145-148, Tehran/Iran, May. 2017 (doi: 10.1109/IranianCEE.2017.7985308).

[15] M. Rakide, M. Seifouri, P. Amiri, "A folded cascade-based broadband transimpedance amplifier for optical communication systems", Microelectronics Journal, vol. 54, pp. 1-8, Aug. 2016 (doi: 10.1016/j.mejo.2016.05.003).
[16] P. Singh, M. Gupta, "Wideband inductorless transimpedance amplifier using capacitive degeneration and negative capacitance", International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 34, no. 1, Article Number: 2780, July 2020 (doi: 10.1002/jnm.2780).
[17] B. Jalil, S. Kazemi, M. Dolatshahi, "Analysis of the impact of the inductive peaking bandwidth enhancement technique on the noise performance of CMOS optical amplifiers", Circuits, Systems, and Signal Processing, vol. 43, no. 11, pp. 6733-6755, Aug. 2024 (doi: 10.1007/s00034-024-02744-9).
[18] F. Aznar, W. Gaberl, and H. Zimmermann, "A 0.18 μm CMOS transimpedance amplifier with 26 dB dynamic range at 2.5 Gb/s", Microelectronics Journal, vol. 42, no. 10, pp. 1136-1142, June 2011 (doi: 10.1016/j.mejo.2011.06.005).
[19] N. Rakhi, S. Manoj, R. S. Gupta, M. Gupta, "Impact of temperature variations on the device and circuit performance of tunnel FET: a simulation study", IEEE transactions on Nanotechnology, vol. 12, no. 6, pp. 951-957, Nov. 2013 (doi: 10.1109/TNANO.2013.2276401).
[20] S. Zohoori, M. Dolatshahi, M. Pourahmadi, M. Hajisafari, "A CMOS, low-power current-mirror-based transimpedance amplifier for 10 Gbps optical communications", Microelectronics Journal, vol. 80, pp. 18-27, Oct. 2018 (doi: 10.1016/j.mejo.2018.08.001).
[21] S.A. Hosseinisharif, M. Pourahmadi, M.R. Shayesteh, "An Active, Low-Power, 10Gbps, Current-based Transimpedance Amplifier in a Broadband Optical Receiver Front-End", Tabriz Journal of Electrical Engineering, vol. 51, no. 1, pp. 49-60, June. 2021.
[22] J.J. Jou, T.T. Shih, H.W. Hsu, "32-Gb/s NRZ and 40-Gb/s PAM-4 transimpedance amplifier paralleling with a differentiator for bandwidth enhancement in 90-nm CMOS technology", Circuits, Systems, and Signal Processing, vol. 41, pp. 621-635, Feb. 2022 (doi: 10.1007/s00034-021-01826-2).
[23] Y. Takahashi, D. Ito, M. Nakamura, A. Tsuchiya, T. Inoue, K. Kishine, "Low-power regulated cascode CMOS transimpedance amplifier with local feedback circuit", Electronics, vol. 11, no. 6, Article Number: 854, Mar. 2022 (doi: 10.3390/electronics11060854).
[24] V. Niranjan, M. Jhamb, "Design of a low-power 180 nm broadband CMOS transimpedance amplifier for bio-medical & IoT applications", International Journal of Information Technology, vol. 15, pp. 2741-2745, June 2023 (doi: 10.1007/s41870-023-01315-6).

زیرنویس‌ها

1. Multiplexer
2. Driver
3. Trans-impedance amplifier (TIA)
4. Limiting Amplifier (LA)
5. DE-multiplexer
6. Parasitic
7. Gain boosting
8. Folded cascade
9. Peak
10. Swing
11. Figure of merit