JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 58/ Summer 2024
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1403.15.58.10.1
Research Article

Design of a Two-Stage Operational Amplifier Using Artificial Neural Network

Alireza Pourkhalili[1], *M.Sc.*, Sayed Mohammadali Zanjani[1,2], *Assistant Professor*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Smart Microgrid Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
apourkhalili@sel.iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir

Abstract
Design of complex analog integrated circuits requires the appropriate choice of various design parameters such as MOSFET's aspect ratio, compensation capacitance and load capacitance in a way that improves user's desired parameters like gain, bandwidth, power dissipation and phase margin. Considering previous works, in this paper, a two-stage miller compensated operational amplifier with PMOS input pair is designed using artificial neural network. The inputs of the neural network are design parameters including DC gain, bandwidth, power dissipation and phase margin and in its output, the sizing of transistors and the amounts of reference current supply, compensation capacitance and load capacitance are acquired. In this design method, a sampling method based on parallel HSPICE simulations is employed for data acquisition from the 15-dimensional design space which results in simplicity and automation of the dataset collecting procedure and reduces the total sampling time and then this data is used for training the neural network model. In the next stage, a range sampling method is applied for making new designs from the trained model which has facilitated the design procedure and made the user-desired tradeoffs between different performance parameters of the operational amplifier possible. Moreover, if the amplifier performance figure of merit (FOM) is defined as the result of the multiplication of unity gain bandwidth and load capacitance divided by power consumption, the comparison between obtained designs of this paper's proposed method and the results of some other methods applied for designing operational amplifiers with relatively similar topologies in previous works, indicates that this parameter has increased by 154% at the minimum.

Keywords: analog design optimization, artificial neural network, electrical design automation, operational amplifier, performance modelling, trade-off

Received: 1 July 2022
Revised: 30 September 2022
Accepted: 31 October 2022

Corresponding Author: Dr. Sayed Mohammadali Zanjani

Citation: A. Pourkhalili, S.M.A. Zanjani, "Design of a two-stage operational amplifier using artificial neural network", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 58, pp. 143-159, September 2024 (in Persian).

https://dorl.net/dor/20.1001.1.23223871.1403.15.58.10.1
مقاله پژوهشی

طراحی یک تقویت‌کننده عملیاتی دو طبقه با استفاده از شبکه عصبی مصنوعی

علیرضا پورخلیلی[۱]، دانش‌آموخته کارشناسی‌ارشد، سید محمدعلی زنجانی[۲]، استادیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
apourkhalili@sel.iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir

چکیده: طراحی مدارهای مجتمع آنالوگ با پیچیدگی بالا، نیازمند انتخاب مناسب پارامترهای مختلف طراحی مثل نسبت عرض به طول کانال، مقدار خازن جبران و خازن بار است، به‌نحوی که در اثر این تغییرات، پارامترهای مطلوب کاربران مانند بهره، پهنای باند، توان مصرفی و حاشیه فاز، بهبود یابد. با توجه به کارهای انجام شده در این زمینه، در این مقاله یک تقویت‌کننده عملیاتی دو طبقه با زوج ورودی پی‌موس (PMOS) و جبران‌ساز میلر، به‌کمک یک شبکه عصبی مصنوعی طراحی شده است. داده‌های ورودی شبکه عصبی، چهار پارامتر عملکرد مداری یعنی بهره فرکانس پایین، پهنای باند، توان مصرفی و حاشیه فاز است و در خروجی، مقدار عرض و طول کانال ترانزیستورها، منبع جریان مرجع، خازن جبران و خازن بار حاصل می‌شود. در این طراحی، از روش نمونه‌برداری مبتنی‌بر شبیه‌سازی‌های موازی اچ-اسپایس برای گردآوری داده از فضای ۱۵ بعدی طراحی استفاده شده است که منجر به سادگی و خودکارسازی فرایند تهیه مجموعه داده‌های آموزشی و کاهش زمان نمونه‌برداری شده است و سپس این داده‌ها برای آموزش مدل عصبی استفاده شده‌اند. در مرحله بعد، از روش نمونه‌برداری بازه‌ای برای ایجاد طراحی‌های جدیدی از مدل عصبی آموزش‌دیده، بهره گرفته شده که باعث سهولت فرایند طراحی شده است و امکان انجام انواع مصالحه مورد نظر کاربر بین پارامترهای عملکرد مختلف تقویت‌کننده را فراهم کرده است. همچنین اگر ضریب شایستگی (FOM) از تقسیم حاصل‌ضرب پهنای باند واحد در خازن بار به توان مصرفی به‌دست آید، مقایسه طراحی‌های حاصل شده از روش ارائه شده در این مقاله، با برخی از روش‌های به‌کار رفته برای طراحی تقویت‌کننده‌های عملیاتی با ساختار مشابه در مطالعات قبلی، نشان می‌دهد که این پارامتر، حداقل ۱۵۴ درصد افزایش یافته است.

کلمات کلیدی: بهینه‌سازی طراحی آنالوگ، تقویت‌کننده عملیاتی، خودکارسازی طراحی الکترونیکی، شبکه عصبی مصنوعی، مدل‌کردن عملکرد، مصالحه

تاریخ ارسال مقاله: ۱۴۰۱/۴/۱۰
تاریخ بازنگری مقاله: ۱۴۰۱/۷/۸
تاریخ پذیرش مقاله: ۱۴۰۱/۸/۹

نام نویسنده‌ی مسئول: دکتر سید محمدعلی زنجانی
نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

۱- مقدمه

امروزه مدارهای آنالوگ، کاربرد گسترده‌ای در مخابرات بی‌سیم، حسگرهای زیستی و غیره دارند [۴-۱]. به‌طور سنتی پارامترهای طراحی مدارهای آنالوگ مانند ابعاد ترانزیستورها و بایاس مدار به‌صورت دستی توسط طراحان و بر اساس روش‌های مبتنی‌بر دانش و تجربه فردی محاسبه می‌شود [۵]. در مدارهای بزرگ آنالوگ، افزایش پیچیدگی مدل‌های فیزیکی و شدت تنوع فرایندها با کاهش مقیاس بیشتر گره فناوری منجر به ناکارآمدی و مشکلات فراوان در طراحی دستی مبتنی‌بر دانش و تجربه می‌شود. از این‌رو به دلیل تقاضای روبه افزایش برای مدارهای مجتمع کم‌مصرف و دارای عملکرد مطلوب، نیاز مبرم به طراحی خودکار مدارهای آنالوگ پدیدار گشته است. به‌علت نیاز به بینش و تجربه انسانی برای ایجاد ارتباط بین پارامترها و عملکردهای مختلف در فرایند طراحی آنالوگ، خودکارسازی طراحی مدارهای آنالوگ همیشه چالش برانگیز بوده است.

در دهه‌های اخیر، با ظهور روش‌های بهینه‌سازی قدرتمند، پیشرفت قابل توجهی در الگوریتم‌های بهینه‌سازی ایجاد شد و از این روش‌ها برای ارتقای فرایند تعیین پارامترهای طراحی مدارهای آنالوگ استفاده شد. این الگوریتم‌ها شامل سه دسته الگوریتم‌های فراابتکاری[۱] [۶] مانند الگوریتم تبرید شبیه‌سازی‌شده[۲] [۷،۸] و الگوریتم گرگ خاکستری[۳] [۹]، الگوریتم‌های تکاملی[۴] [۱۰] مانند الگوریتم ژنتیک[۵] [۱۱،۱۲] و الگوریتم تکامل تفاضلی[۶] [۱۳،۱۴] و الگوریتم‌های برپایه هوش ازدحامی[۷] [۱۵،۱۶] مانند الگوریتم بهینه‌سازی ازدحام ذرات[۸] [۱۷] و الگوریتم بهینه‌سازی کلونی مورچه‌ها[۹] [۱۸،۱۹] است. هر یک از این روش‌ها، در فرایند طراحی آنالوگ، مزایا و معایب خاص خود را نشان می‌دهند. ولی به‌طور عمومی، سرعت پایین هم‌گرایی، احتمال زیاد هم‌گرا شدن به نقاط بهینه محلی به‌جای نقطه بهینه عمومی فضای طراحی، نیاز به اجرای کامل فرایند زمان‌بر الگوریتم برای رسیدن به هر عملکرد مداری مطلوب متفاوت حتی در یک ساختار (توپولوژی) ثابت، از معایب اصلی این الگوریتم‌ها در فرایند طراحی آنالوگ است.

با عنایت به مشکلات ذکر شده، ایده استفاده از شبکه‌های عصبی مصنوعی برای طراحی آنالوگ از حدود سال ۲۰۰۰ میلادی، پرطرفدار و رایج شد. همچنین از سال ۲۰۱۰ به بعد، افزایش دانش در زمینه شبکه‌های عصبی، پیدایش الگوریتم‌های جدید و نیز ارتقای کامپیوترها، منجر به پیشرفت ناگهانی علم یادگیری عمیق شد [۲۰] و حرکت در جهت خودکارسازی کامل فرایند طراحی قیاسی یا آنالوگ با کمک هوش مصنوعی به اوج خود رسید. اکثر پژوهش‌های انجام شده در این زمینه در سه دسته قرار می‌گیرند: پژوهش‌های مدل‌کننده عملکرد مداری [۲۶-۲۱]، پژوهش‌های بهینه‌سازی عملکرد مداری [۳۳-۲۷] و پژوهش‌های شامل تغییر ساختار [۳۴،۳۵].

در این مقاله، قابلیت شبکه‌های عصبی مصنوعی برای مدل‌کردن عملکرد یک تقویت‌کننده عملیاتی، ایجاد طراحی‌های جدید و انجام مصالحه مورد نظر کاربر، بین پارامترهای طراحی مختلف مورد بررسی قرار می‌گیرد. پس از توضیح مختصر کاربرد شبکه‌های عصبی در طراحی خودکار مدارهای آنالوگ در قسمت دوم، در قسمت سوم ساختار یک تقویت‌کننده عملیاتی نمونه به همراه پارامترهای طراحی آن جهت مطالعه موردی روش طراحی ارائه شده، معرفی می‌شود. پس از آن در قسمت چهارم، ضمن مروری بر راه‌کارهای حصول مجموعه داده‌های مناسب از عملکرد مدارهای آنالوگ، روش ارائه شده در این پژوهش، برای ایجاد مجموعه داده‌های معنادار از عملکرد تقویت‌کننده عملیاتی با استفاده از روش شبیه‌سازی‌های موازی اچ-اسپایس توضیح داده می‌شود. در قسمت‌های پنجم و ششم، به مراحل پیش‌پردازش داده‌ها برای فرایند آموزش مدل عصبی پرداخته می‌شود و در قسمت هفتم فرایند انتخاب معماری و آموزش مدل عصبی مورد استفاده تشریح می‌شود. در قسمت هشتم، روش ارائه شده جهت به‌کارگیری مدل عصبی آموزش‌دیده برای ایجاد طراحی‌های جدید و مطلوب کاربر از طریق نمونه‌برداری بازه‌ای شرح داده می‌شود. در قسمت نهم، با استفاده از روش ارایه شده در قسمت قبل، از مدل عصبی آموزش دیده برای تولید طراحی‌های جدید خارج از مجموعه داده‌های آموزش و انجام مصالحه بین پارامترهای عملکرد الکترونیکی استفاده می‌شود و در نهایت، در قسمت دهم ضمن مقایسه مجموعه طراحی‌های حاصل شده این روش با روش‌ها و تحقیقات قبلی، کارآمدی این روش مورد بحث قرار گرفته می‌شود و نتیجه‌گیری نهایی انجام می‌شود.

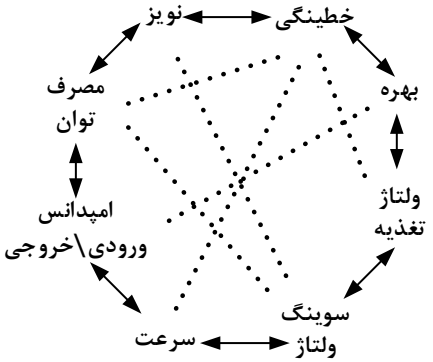
۲- کاربرد شبکه‌های عصبی در طراحی خودکار مدارهای آنالوگ

همان‌گونه که بیان شد، طراحی آنالوگ و خصوصا طراحی تقویت‌کننده‌های عملیاتی، مستلزم دانش عمیق طراحی برای درک رابطه‌های پیچیده بین پارامترهای طراحی و مشخصه‌های عملکرد مداری و ایجاد یک مصالحه متناسب با کاربرد مورد نظر، بین این پارامترها است؛ به این‌صورت که مطابق شکل (۱) افزایش یا کاهش یک پارامتر طراحی به‌طور مستقیم یا غیرمستقیم بر سایر شاخص‌های عملکرد مدار تاثیر متفاوتی می‌گذارد. برای مثال، افزایش ولتاژ تغذیه باعث کاهش نویز ارجاع شده به ورودی می‌شود ولی از سوی دیگر مصرف توان مدار افزایش می‌یابد.

در روش‌های مرسوم طراحی هوشمند آنالوگ، از معادلات پیچیده مبتنی‌بر علم فیزیک یا شبیه‌سازی‌های مداری برای مدل‌کردن رابطه بین متغیرهای طراحی (مانند طول و عرض ترانزیستورها) و مشخصه‌های عملکرد مداری (مانند بهره، مصرف توان، حاصل ضرب بهره در پهنای باند واحد و غیره) استفاده می‌شود. در اکثر موارد برای ساده‌تر شدن مسئله طراحی، بسیاری از آثار فیزیکی و الکترونیکی در این معادلات لحاظ نمی‌شوند که این، باعث کاهش دقت طراحی می‌شود. مطابق شکل (۲)، شبکه‌های عصبی مصنوعی توانایی حل مسائل طراحی با چندین متغیر، از طریق نگاشت مستقیم پارامترهای طراحی به نقاط عملکردی را بدون استفاده از معادلات پیچیده الکترونیکی دارند. اضافه بر این قابلیت، مدل‌های عصبی پس از یک بار آموزش، امکان ایجاد طراحی‌های مختلف متناسب با درخواست کاربر را دارند. از این‌رو می‌توان توابع عملکرد چندین متغیره و پیچیده عملکرد مدارهای آنالوگ را با استفاده از مجموعه داده‌های مناسب از نظر کمیت و کیفیت، به شبکه‌های عصبی مصنوعی آموزش داد و سپس با واردکردن متغیرهای عملکرد مداری مورد انتظار، پارامترهای طراحی متناظر را دریافت کرد [۳۶].

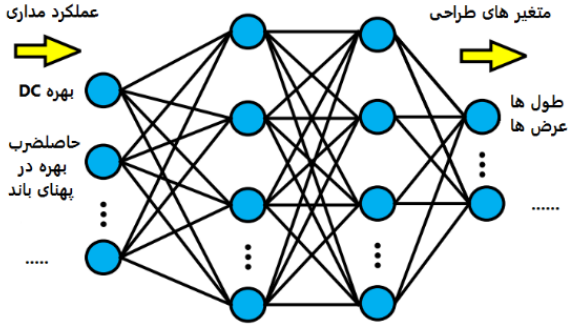
۳- طراحی تقویت‌کننده‌ی عملیاتی نمونه

در این پژوهش، قابلیت شبکه عصبی مصنوعی برای طراحی خودکار آنالوگ و انجام انواع مصالحه بین پارامترهای عملکرد الکترونیکی، از طریق طراحی یک تقویت‌کننده عملیاتی دوطبقه با زوج ورودی پی-موس و جبران‌سازی میلر که در شکل (۳) قابل مشاهده است، بررسی می‌شود. در فرایند طراحی این تقویت‌کننده، مقدار ولتاژهای تغذیه اصلی V_{DD} و V_{SS} به‌ترتیب برابر ۳/۳ و ۳/۳- ولت و مقدار DC دو منبع بایاس V_{in+} و V_{in-} نیز برابر ۰/۸ در نظر گرفته می‌شود.



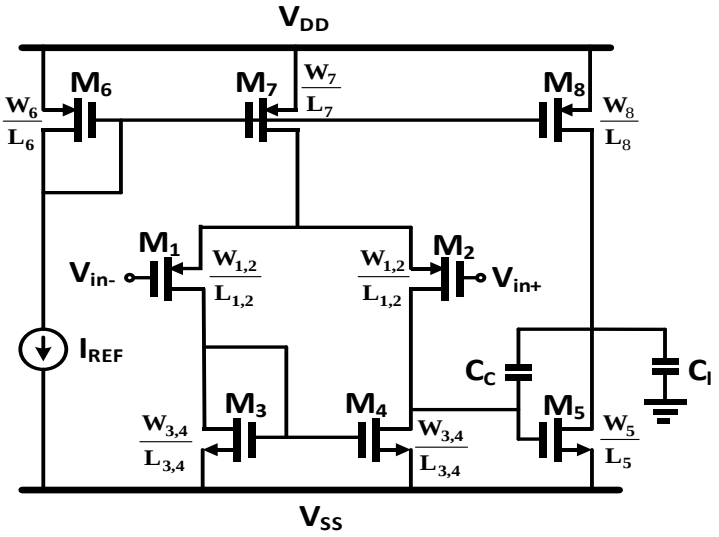
شکل (۱): روابط پیچیده و غیرخطی پارامترهای عملکرد مدارهای آنالوگ

Figure (1): Complicated and nonlinear relation of analog cicuit's performane parameters



شکل (۲): استفاده از شبکه عصبی مصنوعی برای یادگیری تابع عملکرد مدار آنالوگ[۳۶]

Figure (2): Application of artificial neural network in learning the performance function of analog circuit



شکل (۳): تقویت‌کننده عملیاتی دوطبقه با جبران‌سازی میلر
Figure (3): Miller compensated two-stage operational amplifier

همچنین جهت جلوگیری از عدم تطابق در زوج‌های تفاضلی، طول و عرض زوج ترانزیستورهای M_1 و M_2 و همچنین M_3 و M_4 برابر درنظر گرفته می‌شوند. بنابراین یک بردار نمونه‌ی i از مجموعه پارامترهای طراحی به‌صورت رابطه (۱) تعریف می‌شود. برای ارزیابی عملکرد تقویت‌کننده عملیاتی نیز از چهار پارامتر بهره فرکانس پایین، مصرف توان، حاشیه فاز و حاصل‌ضرب بهره در پهنای باند واحد استفاده می‌شود.

$$V_{\langle i \rangle} = \left[W_{1,2} , W_{3,4} , W_5, W_6 , W_7 , W_8, L_{1,2} , L_{3,4} , L_5 , L_6 , L_7 , L_8 , I_{REF}, C_c , C_l \right] \quad (۱)$$

که در آن W و L به‌ترتیب عرض و طول کانال ترانزیستورها هستند. همچنین I_{ref}، مقدار جریان منبع را نشان می‌دهد و خازن‌های C_1 و C_c نیز به‌ترتیب خازن بار و خازن جبران‌ساز هستند.

۴- حصول داده‌های مناسب از عملکرد تقویت‌کننده‌ی عملیاتی

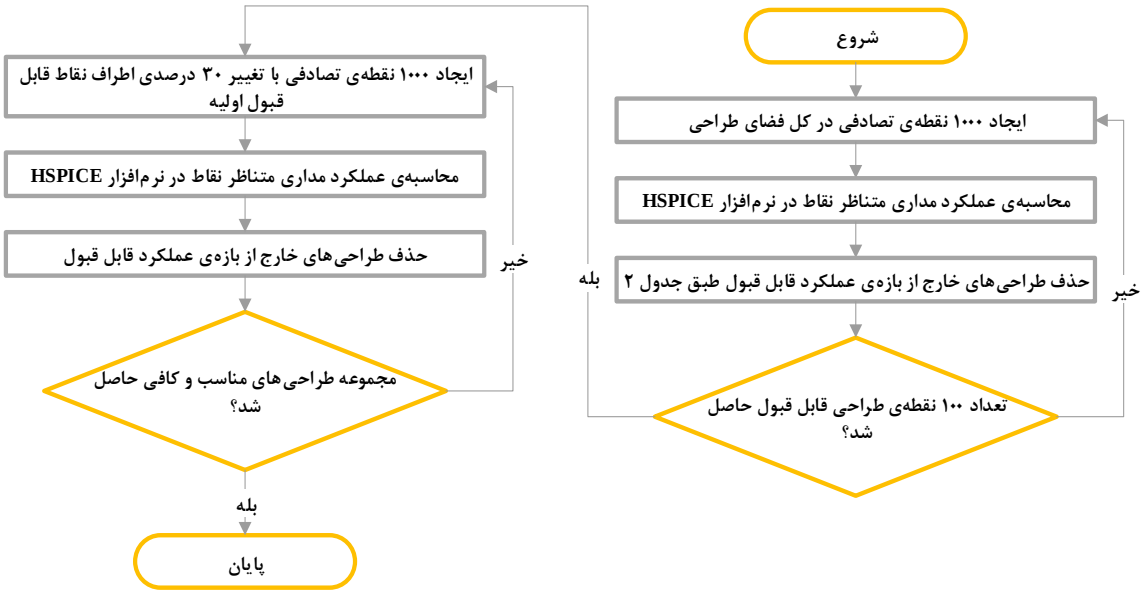
یکی از کلیدی‌ترین مشکلات استفاده از شبکه‌های عصبی برای طراحی خودکار مدارهای آنالوگ، حصول مجموعه داده‌های مناسب و معنادار از نقاط مختلف تابع پیچیده عملکرد مدارهای آنالوگ جهت آموزش مدل‌های عصبی مورد استفاده است. نمونه‌برداری هوشمند و انطباقی از فضای طراحی [۴۲-۳۷]، استفاده از داده‌های حاصل شده حین پیاده‌سازی سایر الگوریتم‌های بهینه‌سازی [۳۰،۳۵] و تعیین نقاط اولیه مورد قبول و تغییر مقادیر پارامترهای طراحی اطراف آن‌ها [۲۷،۴۳] سه مورد از روش‌های متداول برای ایجاد مجموعه داده‌های مناسب از عملکرد مدارهای آنالوگ در تحقیقات قبلی هستند. همچنین در مرجع‌های [۳۳] و [۳۵] روش‌هایی برای افزایش داده‌ها بدون نیاز به نمونه‌برداری و تحلیل‌های مداری بیشتر ارایه شده است.

در این پژوهش نیز، از روش جستجوی نقاط اولیه به‌صورت کاملا تصادفی و سپس جستجو در اطراف نقاط اولیه پیدا شده با ایجاد تغییرات اندک در جهت بهبود کیفیت فرایند نمونه‌برداری و کاهش هزینه محاسبات کامپیوتری استفاده شده است. برای این منظور، ابتدا کل فضای طراحی، مطابق جدول (۱) از طریق تعیین حداقل و حداکثر مقادیر قابل قبول برای پارامترهای طراحی (یعنی ابعاد ترانزیستورها و منبع جریان مرجع)، براساس محدودیت‌های فناوری و طراحی مشخص می‌شود. برای جستجوی اولیه در کل فضای طراحی، در بازه‌های تعیین شده در جدول (۱)، هر مرحله ۱۰۰۰ نقطه طراحی تصادفی تعیین می‌شود و در نتیجه یک ماتریس ۱۵×۱۰۰۰ حاصل می‌شود که هر سطر، ۱۵ پارامتر از یک نقطه طراحی را نشان می‌دهد. سپس هر یک از این طراحی‌های تصادفی توسط نرم‌افزار اچ-اسپایس به ساختار تقویت‌کننده عملیاتی دوطبقه شکل (۳) اعمال می‌شود و ۴ عملکرد الکترونیکی بهره فرکانس پایین، مصرف توان، حاشیه فاز و حاصل‌ضرب بهره در پهنای باند واحد برای هر یک از این نقاط طراحی محاسبه می‌شود. سپس یک بازه از مقادیر متوسط عملکرد، به‌عنوان بازه قابل قبول برای داده‌های آموزش مطابق جدول (۲)

تعیین می‌شود و طراحی‌هایی که خارج از این بازه‌ها باشند، حذف می‌شوند و نقاط قابل قبول ذخیره می‌شوند. بازه‌های قابل قبول داده‌های آموزش، به طریقی تعیین می‌شوند که نواحی پر تراکم و دارای عملکردهای متوسط در فضای طراحی را شامل شوند تا مجموعه داده‌های آموزش با سرعت بیشتری جمع‌آوری شوند. این فرایند تا پیدا شدن ۱۰۰ نقطه اولیه تصادفی، ادامه می‌یابد. از این مرحله به بعد، پارامترهای طراحی اطراف ۱۰۰ نقطه پیدا شده به اندازه ۳۰ درصد تغییر می‌کنند و در هر مرحله، نقاط جدید قابل قبولی که اضافه می‌شوند نیز به مجموعه نقاطی که اطراف آن‌ها با تغییر ۳۰ درصدی جستجو می‌شود، اضافه می‌شوند که این موضوع، سرعت پیدا شدن نمونه‌های جدید را افزایش می‌دهد. این فرایند تا پیدا شدن ۶۰۰۰ نقطه طراحی مناسب تکرار شد. سپس نقاط طراحی که مقادیر هر یک از چهار پارامتر عملکرد آن‌ها دارای انحراف بیشتر از ۳ برابر از میانگین کل ۶۰۰۰ داده از آن پارامتر بود، به‌عنوان نقاط پرت افتاده تلقی و از مجموعه داده‌ها حذف شدند تا انحراف معیار داده‌ها کاهش یابد و فرایند آموزش شبکه عصبی با این داده‌ها بهتر انجام شود. پس از حذف داده‌های پرت افتاده، ۵۴۱۲ نقطه از ۶۰۰۰ نقطه باقی ماند. در این پژوهش، برای افزایش سرعت نمونه‌برداری و کاهش زمان کلی فرایند طراحی، از پردازش‌های موازی در نرم‌افزار اچ-اسپایس استفاده شد و به کمک ۲۰ هسته پردازنده سیستم مورد استفاده، به‌طور هم‌زمان ۲۰ فرایند نمونه‌برداری به‌صورت موازی انجام گرفت و کل زمان نمونه‌برداری به ۲۴ دقیقه و ۵۳ ثانیه کاهش یافت. فرایند کلی حصول مجموعه داده مناسب از عملکرد تقویت‌کننده عملیاتی در شکل (۴) نشان داده شده است.

۵- افزایش تعداد ورودی‌ها از طریق تولید ویژگی‌های چندجمله‌ای

در اکثر مواقع، ورودی‌های شبکه عصبی، تعامل غیرخطی و پیچیده‌ای با یکدیگر دارند. به‌طور معمول، نحوه این تعامل به وسیله الگوریتم‌های آموزشی، شناسایی و مدل می‌شود. اما می‌توان با آشکارسازی بیشتر تعامل این پارامترها از طریق افزایش تعداد متغیرهای ورودی با درجه مشخص، عملکرد مدل عصبی را، حتی به قیمت افزودن گره‌های ورودی بیشتر به شبکه، ارتقا داد [۴۴]. همچنین انجام چنین تبدیل‌هایی در مجموعه داده‌ها، باعث شفاف‌شدن روابط کلید بین متغیرهای ورودی مدل و خروجی‌های آن، می‌شود. این کار از طریق استخراج ویژگی‌های چندجمله‌ای از داده‌های ورودی انجام می‌شود و از آنجایی که مقداری از فرایند درک و توضیح پیچیدگی رابطه‌های بین داده‌های ورودی را به مرحله پیش‌پردازش داده‌ها منتقل می‌کند، امکان استفاده از الگوریتم‌های مدل‌سازی ساده‌تر فراهم می‌شود [۴۵]. همچنین افزودن ستون‌هایی از داده که تعامل بین دو یا چند متغیر ورودی را تنها از طریق ضرب آن‌ها در یکدیگر نشان می‌دهند، متداول است. این عمل می‌تواند برای هر زوج از متغیرهای ورودی انجام شود و گروهی جدید از متغیرها را به ورودی مدل اضافه کند.



شکل (۴): فرایند نمونه‌برداری از فضای طراحی تقویت‌کننده عملیاتی

Figure (4): The process of sampling from the operational amplifier design sapce

Table (1): Design parameters and their acceptable ranges

جدول (۱): پارامترهای طراحی و بازه‌های قابل قبول آن‌ها

پارامتر طراحی	حداقل (میکرومتر)	حداکثر (میکرومتر)	پارامتر طراحی	حداقل	حداکثر
$W_{1,2}$	۰/۱۸	۲۰۰	W_7	۰/۱۸ میکرومتر	۲۰۰ میکرومتر
$L_{1,2}$	۰/۱۸	۳	L_7	۰/۱۸ میکرومتر	۳ میکرومتر
$W_{3,4}$	۰/۱۸	۲۰۰	W_8	۰/۱۸ میکرومتر	۲۰۰ میکرومتر
$L_{3,4}$	۰/۱۸	۳	L_8	۰/۱۸ میکرومتر	۱۳ میکرومتر
W_5	۰/۱۸	۲۰۰	I_{REF}	۰/۱ میکروآمپر	۱۲۰ میکروآمپر
L_5	۰/۱۸	۳	C_l	۰/۰۰۱ پیکوفاراد	۱۰ پیکوفاراد
W_6	۰/۱۸	۲۰۰	C_c	۰/۰۰۱ پیکوفاراد	۱۰ پیکوفاراد
L_6	۰/۱۸	۳			

Table (2): Performance parameters and their acceptable ranges for training dataset

جدول (۲): پارامترهای عملکرد و بازه قابل قبول آن‌ها در مجموعه داده‌های آموزشی مدل

پارامتر عملکرد	حداقل	حداکثر
بهره فرکانس پایین	۴۰ دسی‌بل	۶۰ دسی‌بل
مصرف توان	۰/۱ میلی‌وات	۱۰ میلی‌وات
حاشیه فاز	۵۵ درجه	۱۰۰ درجه
حاصل‌ضرب بهره در پهنای باند واحد	۰/۰۱ مگاهرتز	۱۰ مگاهرتز

همچنین یک نسخه به توان ۲ یا ۳ رسیده از یک متغیر ورودی، توزیع احتمال را در داده‌های ورودی تغییر می‌دهد و از طریق ایجاد یک اختلاف قابل توجه بین مقادیر کوچک و بزرگ، برای الگوریتم‌های یادگیری ماشینی، امکان انجام پیش‌بینی‌های بهتر را فراهم می‌کند[۴۶]. به‌همین دلیل، در مواقعی که مجموعه داده‌های آموزش مدل عصبی، در هر بردار ورودی-خروجی خود، تعدادی از متغیرهای ورودی را به تعداد بسیار بیشتری از متغیرهای خروجی منتسب می‌کند، با استخراج ویژگی‌های چندجمله‌ای با درجه دلخواه از هر سری از متغیرهای ورودی، تعداد ورودی‌های مجموعه داده آموزشی و در نتیجه تعداد گره‌های ورودی مدل عصبی افزایش داده می‌شود. این اقدام، امکان تشخیص الگوهای غیرخطی را برای مدل عصبی تسهیل می‌کند [۴۵] و ایجاد یک نگاشت بهتر بین متغیرهای ورودی و خروجی توسط مدل عصبی را ممکن می‌سازد. در این پژوهش نیز با توجه به این که تعداد متغیرهای عملکرد در ورودی مدل عصبی، ۴ عدد و تعداد پارامترهای طراحی در خروجی مدل برابر ۱۵ است، با استفاده از تبدیل چندجمله‌ای درجه دو، ۴ پارامتر عملکرد اصلی ورودی مدل به ۱۴ پارامتر تبدیل می‌شود. برای انجام این کار، اگر یک بردار نمونه‌ی $S_{\langle i\rangle}$ از مجموعه‌ی ۴ متغیر ورودی را به‌صورت معادله (۲) در نظر گرفته می‌شود، آنگاه مجموعه ویژگی‌های چندجمله‌ای متناظر آن، یعنی $\Phi(S_{\langle i\rangle})$، به‌صورت معادله (۳) قابل تعریف است.

$$S_{\langle i\rangle} = [a, b, c, d] \quad (۲)$$

$$\Phi\left(S_{\langle i\rangle}\right) = \left[a, b, c, d, a^2, b^2, c^2, d^2, ab, ac, ad, bc, bd, cd\right] \quad (۳)$$

۶- بهنجارسازی داده‌ها

روش‌های مختلفی مانند آزمون زد (Z-score) و مقیاس خطی (Linear regression) برای استانداردسازی داده‌ها وجود دارد. در روش آزمون زد، برای ایجاد داده‌های استاندارد شده، از هر داده، میانگین همه داده‌ها کسر می‌شود و سپس حاصل آن به انحراف استاندارد همه داده‌ها تقسیم می‌شود تا همه داده‌ها بین ۱- و ۱ قرار گیرند. در روش مقیاس خطی، مقدار کوچک‌ترین داده از هر داده کسر شده و حاصل به اختلاف بین بزرگ‌ترین و کوچک‌ترین داده تقسیم می‌شود تا همه داده‌ها بین صفر و یک قرار گیرند. در این پژوهش، با توجه به نوع توزیع داده‌ها، ۱۴ متغیر ورودی مدل به روش آزمون زد مطابق معادله (۴) و ۱۵ پارامتر خروجی مدل به روش مقیاس خطی مطابق معادله (۵) بهنجار می‌شوند.

$$X_{\langle i\rangle}=\frac{\Phi\left(S_{\langle i\rangle}\right)-\mu_{\varphi}}{\sigma_{\varphi}} \quad (۴)$$

$$Y_{\langle i\rangle}=\frac{V_{\langle i\rangle}-\min(V)}{\max(V)-\min(V)} \quad (۵)$$

که در آن $X_{\langle i\rangle}$ و $Y_{\langle i\rangle}$ متغیرهای بهنجار شده برای ورودی و خروجی شبکه است. μ_{Φ} و σ_{Φ} به‌ترتیب میانگین و انحراف استاندارد هر یک از ۱۴ برداری است که قبلا از تبدیل چندجمله‌ای درجه دو ۴ متغیر طراحی $S_{\langle i\rangle}$ ایجاد شده‌اند و $V_{\langle i\rangle}$ یک بردار نمونه از ۱۵ متغیر خروجی طراحی است. $S_{\langle i\rangle}$ و $V_{\langle i\rangle}$، به ترتیب پارامترهای عملکرد و طراحی اولیه، قبل از انجام فرایند آماده‌سازی داده‌ها هستند که ابتدا ویژگی‌های چندجمله‌ای درجه دو از $S_{\langle i\rangle}$ استخراج می‌شود و $\Phi(S_{\langle i\rangle})$ ایجاد می‌شود و درنهایت فرایند بهنجارسازی روی ۱۴ بردار $\Phi(S_{\langle i\rangle})$ و ۱۵ بردار $V_{\langle i\rangle}$ به دو روش متفاوت انجام می‌شود.

۷- انتخاب معماری و آموزش شبکه عصبی مصنوعی

پس از ایجاد مجموعه داده‌های مناسب و پیش-پردازش داده‌ها، اصلی‌ترین مرحله طراحی خودکار یک مدار آنالوگ با استفاده از شبکه‌های عصبی مصنوعی، انتخاب معماری و فرایند آموزش مناسب برای مدل عصبی از طریق تعیین ابر-پارامترهای مدل است. در این پژوهش، از یک شبکه عصبی پیش‌رو (پرسپترون چندلایه) با سه لایه مخفی، برای مدل‌سازی رفتار تابع عملکرد تقویت‌کننده مورد بررسی استفاده شده است. پیاده‌سازی نرم‌افزاری مدل عصبی مورد استفاده، در بستر نرم‌افزار متلب و با استفاده از جعبه ابزار شبکه عصبی این نرم‌افزار، انجام شده است. در لایه ورودی به‌طور معمول تعداد نورون‌ها برابر تعداد پارامترهای ورودی مدل (در این‌جا متغیرهای عملکرد محاسبه شده برای تقویت‌کننده‌ی عملیاتی) است، ولی مطابق توضیحات قسمت ۵، برای یک نگاشت بهتر بین ورودی و خروجی مدل عصبی، جهت افزایش تعداد گره‌های ورودی، از ۴ پارامتر عملکرد الکترونیکی تقویت‌کننده، مطابق معادله (۳)، ویژگی‌های چندجمله‌ای استخراج می‌شود و تعداد پارامترها و در نتیجه نورون‌های ورودی مدل به ۱۴ عدد افزایش می‌یابد. در لایه خروجی نیز تعداد نورون‌ها برابر تعداد متغیرهای خروجی مدل است، یعنی در این‌جا برابر تعداد متغیرهای طراحی تقویت‌کننده عملیاتی، معادل ۱۵ عدد است. در مورد تعداد نورون‌های لایه‌های مخفی، علی‌رغم وجود برخی روش‌های تجربی [۴۹-۴۷]، تاکنون روش کارآمدی برای تعیین تعداد بهینه آن‌ها در شبکه‌های عصبی ارایه نشده است. سایر ابر-پارامترهای مدل عصبی مانند نرخ یادگیری، تعداد دور آموزش و غیره نیز متناسب با نوع و تعداد داده‌های آموزش، الگوریتم آموزش و معماری مدل عصبی تعیین می‌شوند و یک قانون یا روش مشخص و کلی برای تعیین آن‌ها وجود ندارد. به همین دلیل به‌طور معمول از روش‌های جستجوی شبکه‌ای یا جستجوی تصادفی برای تعیین ابر-پارامترهای شبکه‌های عصبی مصنوعی استفاده می‌شود. در این پژوهش نیز معماری و فرایند آموزش مناسب برای مدل عصبی، از طریق تعیین ابر-پارامترهای مدل، با استفاده از آزمون و خطا و چندین مرتبه بررسی مطابق جدول (۳) تعیین شده است. پس از انتخاب ابر-پارامترهای مناسب برای شبکه مصنوعی، آموزش شبکه عصبی با مجموعه داده‌ای شامل ۵۴۱۲ نقطه طراحی که مطابق فرایند شکل (۴) از تابع عملکرد مدار، نمونه‌برداری شده‌اند، انجام می‌شود. فرایند آموزش با استفاده از یک رایانه دارای ۳۲ گیگابایت حافظه رم و ۲۰ هسته پردازشی از نوع اینتل زنون با حداکثر فرکانس پردازش ۲٫۲ گیگاهرتز (Intel Xeon 2.2 GHz)، حدود ۲ دقیقه زمان نیاز داشت و نتایج آن در شکل (۵) نشان داده شده است. مقدار نهایی خطای داده‌های آموزش و اعتبارسنجی به ترتیب برابر ۰/۰۱۹۵ و ۰/۰۲۳ هستند.

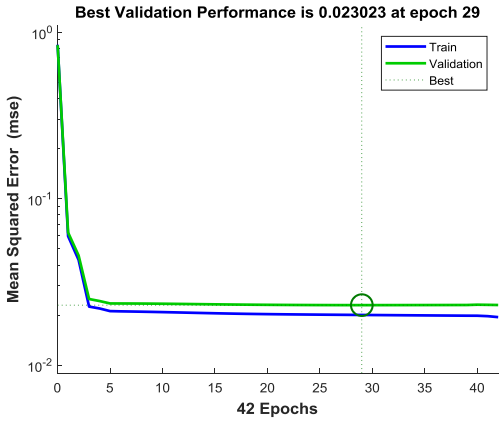
۸- استفاده از شبکه عصبی آموزش دیده برای پیش‌بینی طراحی‌های جدید

پس از آموزش شبکه عصبی، روش استفاده از آن برای ایجاد طراحی‌های جدید و متناسب با نیاز کاربر که خارج از بازه داده‌های آموزشی مدل عصبی قرار دارند، از اهمیت ویژه‌ای برخوردار است. اگر یک نقطه عملکرد خاص به ورودی شبکه عصبی آموزش دیده وارد شود، ممکن است به‌طور کلی آن نقطه در تابع عملکرد مدار آنالوگی که مدل عصبی، رفتار آن را آموزش دیده است، وجود نداشته باشد.

Table (3): Model hyper-parameters

جدول (۳): ابر پارامترهای مدل عصبی

ابر پارامتر	مقدار
لایه ورودی	۱ لایه (۱۴ نورون)
لایه‌های مخفی	۳ لایه (به ترتیب با ۳۵، ۸۰ و ۳۰ نورون)
لایه خروجی	۱ لایه (۱۵ نورون)
تابع فعالیت	Poslin
الگوریتم آموزش	Levenberg-Marquardt
تعداد دور آموزش	۴۲
نرخ یادگیری	۰/۰۱
داده‌های آموزش	۸۵ درصد
داده‌های اعتبارسنجی	۱۵ درصد
داده‌های آزمون	صفر



شکل (۵): خطای آموزش و اعتبار سنجی در طول فرایند آموزش

Figure (5): Train and validation error during training

برای مثال اگر تک نقطه {(۴۰ دسی‌بل، ۴۵۰ میکروووات، ۶۰ درجه، ۲ مگاهرتز)} به گره‌های ورودی شبکه عصبی وارد شود، احتمال اینکه عملکرد تقویت‌کننده مورد نظر به‌طور کلی امکان رسیدن به مقادیر این چهار پارامتر را به‌طور همزمان نداشته باشد و در نتیجه مدل عصبی، طراحی غیرقابل قبولی را به کاربر ارائه دهد، بسیار زیاد است. از این‌رو برای نمونه‌برداری از مدل عصبی آموزش دیده، پارامترهای عملکرد الکترونیکی بهتر است به‌صورت بازه‌های قابل قبول و به شکل نامعادله تعیین شود و با تعیین تعدادی نقاط عملکرد تصادفی در این بازه‌ها، پیش‌بینی پارامترهای طراحی برای آن نقاط توسط مدل عصبی بررسی شود. برای مثال اگر کاربر به‌دنبال طراحی تقویت‌کننده‌ای با بهره ولتاژ بیشتر از ۵۰ دسی‌بل و مصرف توان کمتر از ۴۰۰ میکروووات باشد و مدل عصبی با چهار پارامتر بهره فرکانس پایین، مصرف توان، حاشیه فاز و حاصل‌ضرب بهره در پهنای باند واحد آموزش دیده باشد، مجموعه عملکردهایی که باید به‌عنوان ورودی برای پیش‌بینی پارامترهای طراحی متناظر به مدل عصبی آموزش دیده وارد شوند عبارتند از: {(۵۲ دسی‌بل، ۳۸۰ میکروووات، ۵۵ درجه، ۲ مگاهرتز)، (۵۳ دسی‌بل، ۳۵۰ میکروووات، ۶۰ درجه، ۵ مگاهرتز)، (۵۵ دسی‌بل، ۳۳۰ میکروووات، ۶۵ درجه، ۷ مگاهرتز)، .....، (۵۲ دسی‌بل، ۳۸۰ میکروووات، ۵۵ درجه، ۹ مگاهرتز)}. بدیهی است که سایر پارامترهای عملکردی که بسته به نیاز طراحی محدودیتی برای آن‌ها تعیین نشده است، می‌توانند هر مقداری بین کمترین تا بیشترین مقدار استاندارد قابل قبول داشته باشند. به‌عنوان نمونه، در مثال بالا مقادیر حاشیه فاز می‌توانند هر مقداری بین ۵۵ تا ۸۵ درجه باشند. همچنین می‌توان با تعریف معیارهای شایستگی مختلف و تعیین حداقل برای آن‌ها، به مصالحه مورد نظر کاربر دست یافت. در این پژوهش برای حصول طراحی‌های نهایی مورد انتظار از مدل عصبی آموزش دیده، پس از تعیین بازه‌های قابل قبول از چهار پارامتر عملکرد تقویت‌کننده‌ی عملیاتی، ابتدا مطابق روشی که در بالا توضیح داده شد، در این بازه‌ها

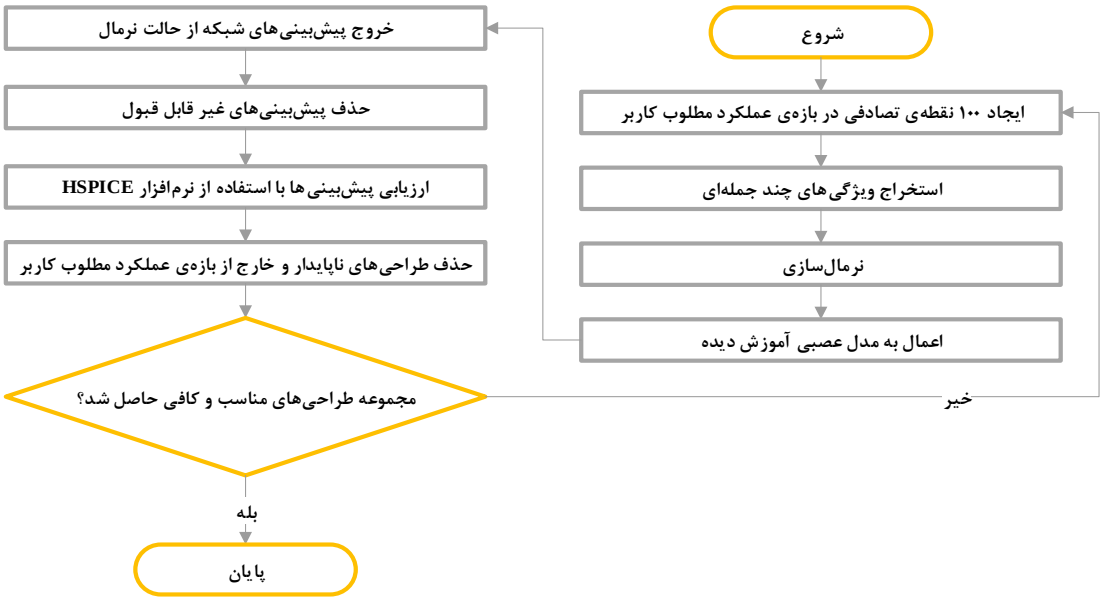
۱۰۰ نقطه عملکرد جدید به‌طور تصادفی در یک ماتریس ۱۰۰×۴ به نحوی تعیین می‌شوند که هر ستون از ماتریس، یک نقطه عملکرد مطلوب کاربر را نشان دهد. سپس ویژگی‌های چندجمله‌ای مطابق معادله (۳) از این چهار پارامتر طراحی در هر ستون استخراج می‌شود و در نتیجه چهار پارامتر ورودی مدل عصبی در هر ستون به ۱۴ پارامتر تبدیل شده و یک ماتریس ۱۰۰×۱۴ حاصل می‌شود. در مرحله بعد هر سطر از این ماتریس مطابق معادله (۴) با همان میانگین و انحراف استاندارد داده‌های آموزش بهنجار می‌شود و این ۱۰۰ نقطه طراحی به ورودی شبکه عصبی اعمال می‌شوند. سپس پیش‌بینی‌های مدل عصبی برای ۱۵ پارامتر طراحی در هر یک از این ۱۰۰ نقطه طراحی، در قالب یک ماتریس ۱۰۰×۱۵ از خروجی شبکه عصبی استخراج می‌شود و پس از خروج این داده‌ها از حالت بهنجار با استفاده از کمینه و بیشینه داده‌های آموزش (نقاطی دارای پیش‌بینی‌های غیر قابل قبول مثل ابعاد منفی یا کوچک‌تر از حداقل اندازه‌ی ممکن در فناوری ۰/۱۸ میکرومتر برای ترانزیستورها)، طراحی‌های پیش‌بینی شده برای ارزیابی توسط نرم‌افزار اچ-اسپایس به ساختار تقویت‌کننده دو طبقه شکل (۳) اعمال می‌شوند. در نهایت، طراحی‌های تایید شده توسط نرم‌افزار اچ-اسپایس، از نظر پارامترهای عملکرد الکترونیکی با مقادیر مطلوب کاربر مقایسه می‌شوند و طراحی‌های ناپایدار یا دارای عملکرد الکترونیکی غیرقابل قبول حذف می‌شوند. این فرایند، چندین مرتبه تکرار می‌شود تا تعداد مناسبی از نقاط طراحی مورد تایید کاربر حاصل شوند. فرایند کامل استفاده از مدل عصبی آموزش‌دیده برای ایجاد طراحی‌های جدید از طریق نمونه‌برداری بازه‌ای، در شکل (۶) قابل مشاهده است.

۹- نتایج طراحی

با اعمال روش نمونه‌برداری از مدل عصبی که در قسمت قبل معرفی شد، قابلیت شبکه عصبی برای مدل‌سازی عملکرد تقویت‌کننده عملیاتی شکل (۳)، ایجاد طراحی‌های جدید و انجام مصالحه مورد نظر کاربر، بین پارامترهای طراحی مختلف در جدول (۴) بررسی می‌شود. از این‌رو مطابق جدول‌های (۵)، (۶) و (۷)، از مدل عصبی به ترتیب برای پیش‌بینی بهترین بهره‌ی فرکانس پایین، بهترین حاصل‌ضرب بهره در پهنای باند واحد و بهترین مصرف توان به همراه مقادیر قابل قبولی از سه پارامتر دیگر، استفاده شده است و پنج عدد از بهترین طراحی‌های پیشنهاد شده توسط مدل عصبی برای هر حالت آورده شده است.

همچنین برای امکان مقایسه کیفیت طراحی‌ها، یک معیار شایستگی[۱۰] استاندارد که در بسیاری از پژوهش‌های قبلی جهت ارزیابی عملکرد تقویت‌کننده‌های عملیاتی استفاده شده است [۵۳-۵۰]، مطابق معادله (۶) برای هر یک از آن‌ها محاسبه شده است.

$$FoM=\frac{GBW \times C_{Load}}{P} \qquad (۶)$$



شکل (۶): نمونه‌برداری بازه‌ای از مدل عصبی آموزش دیده برای پیش‌بینی طراحی‌های جدید

Figure (6): Range samplig from the trained model for prediction of new designs

Table (4): Performance of sampled designs from the trained ANN

جدول (۴): عملکرد طراحی‌های نمونه‌بردای شده از شبکه عصبی مصنوعی آموزش دیده

طراحی براساس هدف	بهره‌ی فرکانس پایین (دسی‌بل)	حاصل‌ضرب بهره در پهنای باند (مگاهرتز)	مصرف توان (میلی‌وات)	حاشیه فاز (درجه)	معیار شایستگی (مگاهرتز در پیکوفاراد بر میلی‌وات)
هدف ۱ (بهترین بهره فرکانس پایین)	بیشتر از ۸۵	بیشتر از ۴	کم‌تر از ۱	بین ۵۵ الی ۱۰۰	_
طراحی ۱	۹۳/۹۵۴	۴/۰۸۹	۰/۰۵۱۵۲	۵۷/۶۵۴	۲۱۱/۱۹
طراحی ۲	۹۱/۸۹۵	۴/۰۴۸	۰/۲۶۰۲	۵۵/۴۹۹	۱۰۱/۲۳
طراحی ۳	۹۰/۹۱	۷/۶۷	۰/۰۵۸۹۲	۶۱/۰۹۱	۲۲۷/۴۱
طراحی ۴	۸۹/۴۱۷	۵/۱۲۱	۰/۱۰۳۴	۷۲/۰۳۵	۱۰۹/۷۹
طراحی ۵	۸۷/۵۲۸	۱۷/۹۷	۰/۴۱۱۲	۶۵/۸۶۲	۱۷۲/۴۴
هدف ۲ (بهترین حاصلضرب بهره در پهنای باند)	بیشتر از ۵۰	بیشتر از ۱۲	کم‌تر از ۱	بین ۵۵ الی ۱۰۰	_
طراحی ۶	۵۰/۱۰۴	۵۱/۳۲	۰/۷۴۶	۵۵/۹۹۹	۵۷۵/۸۰
طراحی ۷	۵۱/۰۱۱	۳۰/۶	۰/۹۵۷۶	۶۰/۵۶۴	۳۱۴/۶۹
طراحی ۸	۵۳/۹۶۳	۲۴/۰۲	۰/۳۶۲۲	۵۶/۰۸۴	۳۷۱/۱۰
طراحی ۹	۶۲/۵۶	۱۷/۷۹	۰/۷۴۳۸	۷۱/۳۵۵	۱۰۲/۱۰
طراحی ۱۰	۷۸/۱۵۲	۱۶/۹۲	۰/۶۹۶۵	۵۵/۷۴۴	۱۴۱/۵۳
هدف ۳ (بهترین مصرف توان)	کم‌تر از ۵۰	بیشتر از ۰/۱	کم‌تر از ۰/۱	بین ۵۵ الی ۱۰۰	_
طراحی ۱۱	۵۴/۸۹۳	۰/۱۱۲۶	۰/۰۰۳۳۵۳	۶۵/۵۸۶	۲۰۷/۹۰
طراحی ۱۲	۶۳/۷۹۳	۰/۱۱۹۶	۰/۰۰۴۸۳۹	۶۶/۸۹۸	۲۱۳/۱۹
طراحی ۱۳	۵۶/۹۹	۰/۳۱۰۵	۰/۰۰۹۱۵۴	۵۸/۹۶۳	۳۰۱/۰۷
طراحی ۱۴	۶۷/۵۵۹	۰/۸۴۲۷	۰/۰۱۱۴۲	۶۵/۸۲	۷۰۵/۰۰
طراحی ۱۵	۵۰/۴۲۱	۲/۸۸۸	۰/۰۳۶۳۷	۵۹/۹۳۳	۷۲۰/۶۱

Table (5): Corresponding design parameters of the ANN predicted designs for reaching best DC gain

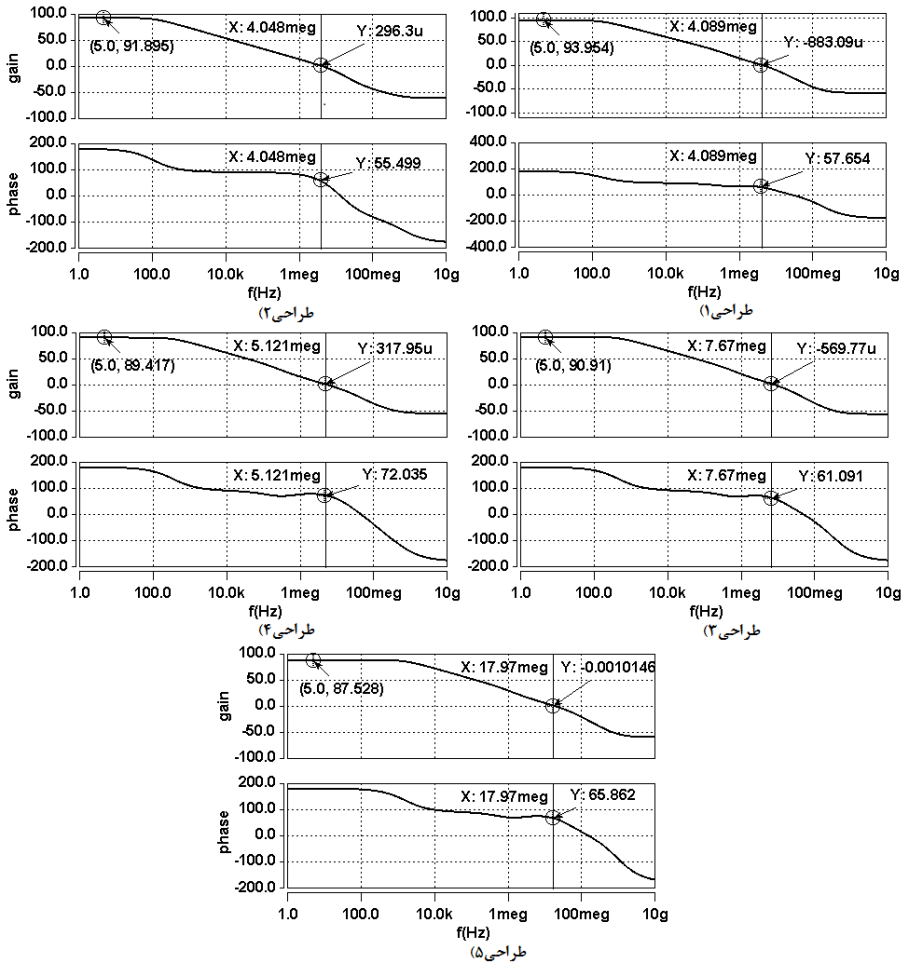
جدول (۵): پارامترهای طراحی متناظر با طراحی‌های پیشی‌بینی شده توسط شبکه عصبی مصنوعی برای حصول بهترین بهره در فرکانس‌های پایین

ابعاد به میکرون	$W_{1,2}$ $L_{1,2}$	$W_{3,4}$ $L_{3,4}$	W_5 L_5	W_6 L_6	W_7 L_7	W_8 L_8	I_{REF} (μA)	C_c (pF)	C_l (pF)
طراحی ۱	۱۶/۷۹ ۶/۸۵۴	۲۳/۳۰ ۲۱/۶۳	۲۶/۶۲ ۰/۲۶۶۷	۱۰/۸۴ ۱۳/۶۸	۰/۹۲۴۴ ۸/۰۳۳	۵/۷۵۲ ۱۲/۸۵	۱۳/۴۷	۰/۱۷۱۲	۲/۶۶۱
طراحی ۲	۲۷/۳۶ ۵/۲۲۳	۱۱/۵۱ ۴/۶۹۹	۲۵/۸۲ ۱/۵۱۴	۱/۰۹ ۱/۴۰۹	۲۴/۳۸ ۲۴/۵۹	۱۳/۴۴ ۲۱/۴۸	۵۲/۱۶	۲/۰۲۵	۶/۵۰۷
طراحی ۳	۱۷/۱ ۱۰/۸۶	۲۴/۰۱ ۱۸/۷۰	۲۸/۴۸ ۰/۲۴۶۸	۱۰/۲۶ ۹/۳۵۲	۷/۳۱۹ ۲۴/۷۵	۲۸/۹۸ ۱۳/۳۴	۶/۶۱۰	۰/۰۷۸۷۴	۱/۷۴۷
طراحی ۴	۲۱/۲۴ ۲۰/۰۷	۲۵/۲۰ ۲۹/۳۹	۱۰/۶۷ ۰/۲۱۶۳	۱۸/۴۴ ۸/۹۰۴	۴/۹۸۸ ۲۸/۶۱	۲۶/۳۲ ۱۲/۹۳	۲۰/۳۴	۰/۱۰۲۹	۲/۲۱۷
طراحی ۵	۱۰۳/۹ ۴/۰۲۱	۲۹/۲۵ ۲۳/۵۸	۲۱/۰۰ ۰/۳۰۳۰	۲/۳۱۶ ۲۳/۲۲	۱۷/۹۴ ۲۱/۶۲	۱۷/۶۳ ۷/۰۳۶	۴/۴۰۳	۰/۲۱۲۶	۳/۹۴۶

Table (6): Corresponding design parameters of the ANN predicted designs for reaching best gain-bandwidth product

جدول (۶): پارامترهای طراحی متناظر با طراحی‌های پیشی‌بینی شده توسط شبکه عصبی مصنوعی برای حصول بهترین حاصل‌ضرب بهره در پهنای باند

ابعاد به میکرون	$W_{1,2}$ $L_{1,2}$	$W_{3,4}$ $L_{3,4}$	W_5 L_5	W_6 L_6	W_7 L_7	W_8 L_8	I_{REF} (µA)	C_c (pF)	C_l (pF)
طراحی ۶	۳۹/۵ ۰/۵۰۰۶	۸۶/۹۵ ۰/۲۲۱۶	۸/۸۴۴ ۰/۲۲۳	۱۰۲/۷ ۲/۰۳۷	۱۹۸/۸ ۱/۶۲۴	۴/۹۵۱ ۰/۹۶۲۴	۷۷/۴۸	۰/۰۲۶۸	۸/۳۷۰
طراحی ۷	۲۱/۶۸ ۰/۵۰۰۶	۱۴/۴۲ ۰/۲۹۴۳	۷۶/۷۴ ۰/۲۱۷۴	۶/۱۲۵ ۱/۰۳۱	۲/۸۸۲	۹۵/۲۴ ۲/۳۵۳	۳۳/۷۴	۰/۷۲۹۶	۹/۸۴۸
طراحی ۸	۴۶/۸۵ ۰/۵۴۶۳	۳۶/۱۰ ۰/۲۶۹۰	۸۳ ۰/۲۱۷۸	۶۷/۹۲ ۱/۱۹۴	۹۹/۰۴ ۲/۸۰۹	۷/۰۸۶ ۰/۲۰۶	۱۶/۰۳	۰.۶۷۰۴	۵/۵۹۶
طراحی ۹	۳۸/۶۵ ۲/۱۰۳	۳۱/۳۳÷ ۱/۴۶۷	۷۱/۷۱ ۰/۲۲۷۰	۱۲/۲۵ ۰/۴۹۴۱	۸۰/۹۸ ۲/۲۲۳	۴۷/۸۰ ۰/۶۰۰۶	۳۵	۱/۷۳۹	۴/۲۶۹
طراحی ۱۰	۱۲۱/۳ ۲/۶۳۹	۷۵/۴۷ ۱/۸۰۱	۱۹۸/۱ ۰/۴۳۷۱	۱۱۷/۷ ۱/۵۱۹	۹۵/۱۴ ۱/۴۷۲	۱۶۴ ۱/۲۶۹	۷۱/۶۱	۲/۹۶۹	۵/۸۲۶



شکل (۷): نمودار پاسخ فرکانسی بهره و فاز طراحی‌های پیش‌بینی شده برای حصول بهترین بهره در فرکانس پایین

Figure (7): The gain and phase frequency response plots of the predicted designs for reaching best DC gain

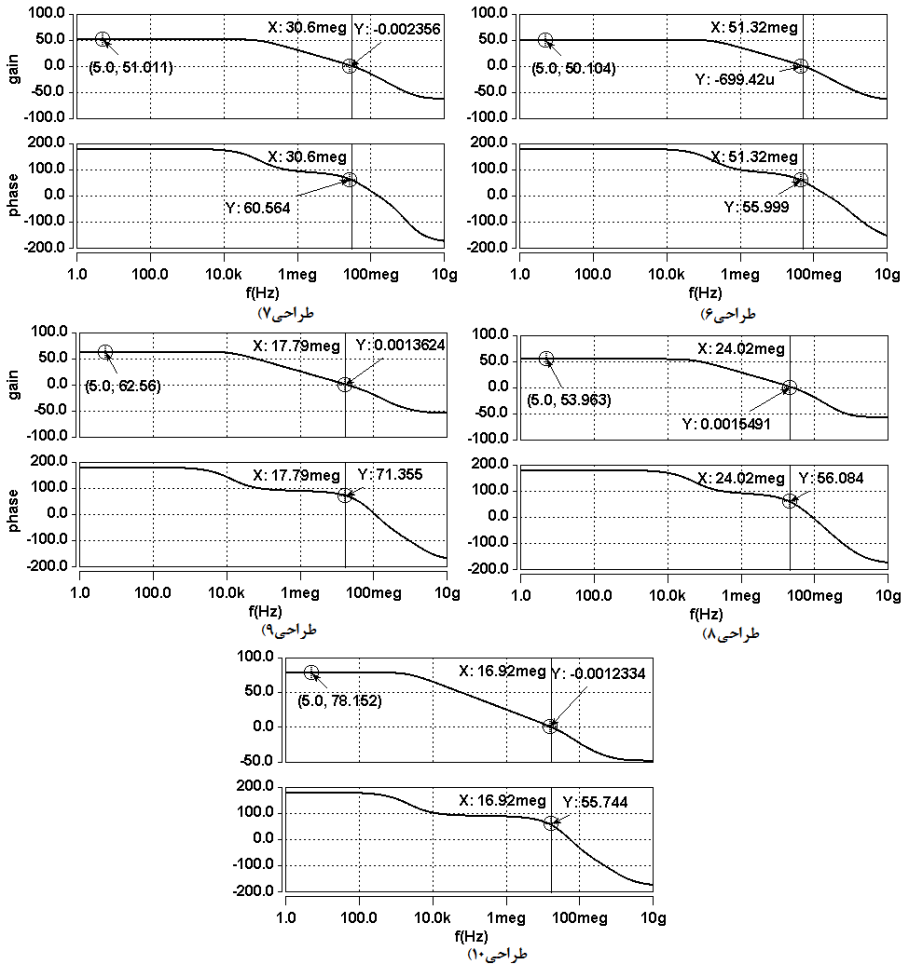
پارامترهای طراحی متناظر با طراحی پیش‌بینی شده توسط مدل عصبی در جهت رسیدن به بهترین بهره‌ی فرکانس پایین، بهترین حاصل‌ضرب بهره در پهنای باند و بهترین مصرف توان، شامل طول و عرض ترانزیستورها، مقدار منبع جریان مرجع و

مقادیر خازن جبران و خازن بار، به ترتیب در جدول‌های (۵)، (۶) و (۷) قابل مشاهده است. همچنین نمودار پاسخ فرکانسی هر گروه از این طراحی‌ها، به ترتیب در شکل (۷)، شکل (۸) و شکل (۹) رسم شده است.

Table (7): Corresponding design parameters of the ANN predicted designs for reaching best power dissipation

جدول (۷): پارامترهای طراحی متناظر با طراحی‌های پیشی‌بینی شده توسط شبکه عصبی مصنوعی برای حصول بهترین مصرف توان

ابعاد به میکرون	$W_{1,2}$ $L_{1,2}$	$W_{3,4}$ $L_{3,4}$	W_5 L_5	W_6 L_6	W_7 L_7	W_8 L_8	I_{REF} (μA)	C_c (pF)	C_l (pF)
طراحی ۱۱	۶/۶۶۸ ۸/۰۱۹	۱۶/۸۹ ۲۵/۰۵	۲۹/۹۰ ۰/۶۶۷۷	۲۷/۱۶ ۱۲/۲۹	۱۵/۹۲ ۲۰/۴۳	۲۷/۱۶ ۱۰/۷۵	۰/۵۰۸۰	۰/۵۶۲۸	۶/۱۹۱
طراحی ۱۲	۹/۴۴۳ ۱۵/۶۱	۱۵/۸۲ ۱۳/۳۱	۱۴/۸۹ ۰/۶۱۲۲	۵/۲۰۵ ۹/۴۱۳	۷/۸۹۲ ۲۷/۵۱	۱۸/۴۸ ۹/۸۶۹	۰/۵۰۶۱	۱/۸۸۲	۸/۶۲۶
طراحی ۱۳	۲۹ ۱۳/۹۶	۱۰/۸۹ ۱/۹۳۴	۲۸/۲۱ ۰/۵۴۱۰	۳/۷۶۱ ۵/۰۳۸	۱۰/۷۱ ۲۱/۴۶	۱۸/۶۵ ۱۳/۰۶	۱/۱۱۹	۲/۵	۸/۸۷۶
طراحی ۱۴	۶۵/۹۲ ۰/۸۸۳۷	۳۶/۱۸ ۰/۲۷۰۶	۱/۰۸۹ ۰/۳۴۳۱	۷۵/۱۸ ۲/۶۱۲	۹۲/۵۲ ۱/۹۴۷	۲/۸۹۱ ۲/۴۶۶	۱/۶۵۵	۰/۰۰۹۶۱۶	۹/۵۵۴
طراحی ۱۵	۲۱/۳۷ ۲۶/۷۸	۱۶/۱۵ ۲۳/۶۵	۶/۰۶۶ ۰/۱۸۷۷	۸/۹۲۴ ۲۹/۷۸	۳/۱ ۱۲/۲۹	۲۴/۱۲ ۲۸/۴۲	۲/۸۶۵	۰/۰۲۸۹۲	۹/۰۷۵



شکل (۸): نمودار پاسخ فرکانسی بهره و فاز طراحی‌های پیش‌بینی شده برای حصول بهترین حاصل‌ضرب بهره در پهنای باند

Figure (8): The gain and phase frequency response plots of the predicted designs for reaching best gain-bandwidth product

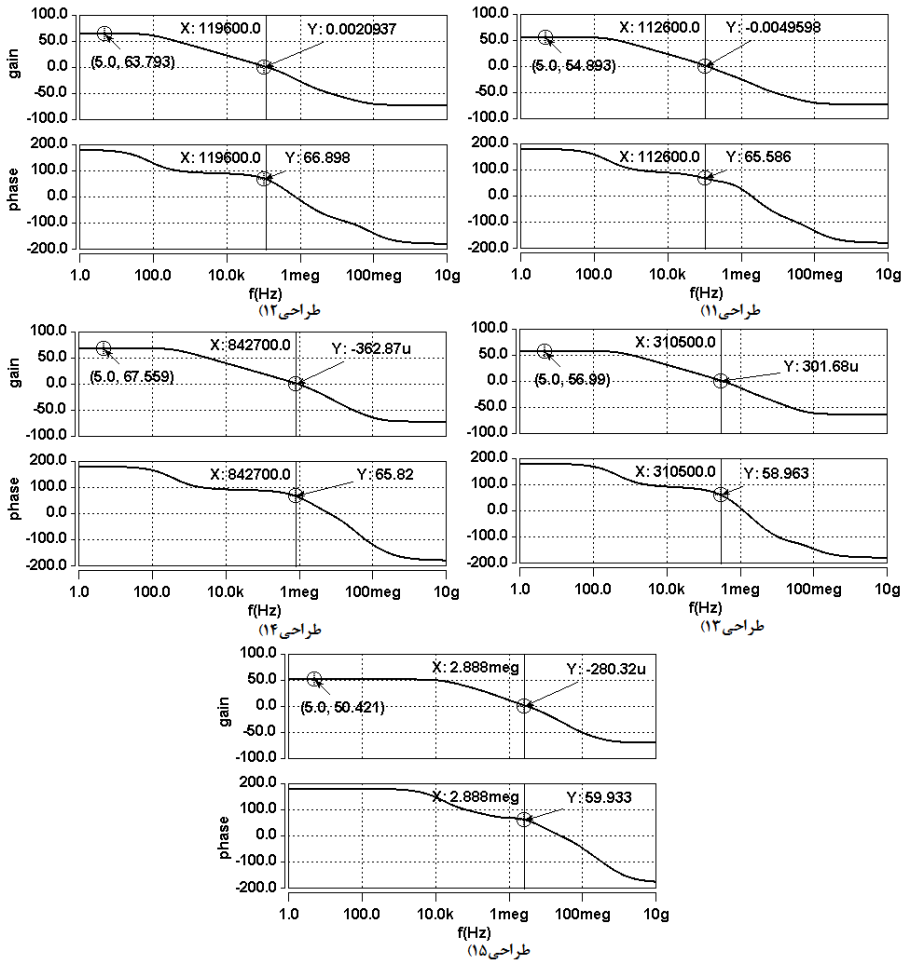
Table (8): Comparing results with other methods

جدول (۸): مقایسه نتایج با روش‌های دیگر

مرجع	توپولوژی تقویت‌کننده	فناوری (میکرومتر)	روش طراحی	حاصل‌ضرب بهره در پهنای باند واحد (مگاهرتز)	مصرف توان (میلی‌وات)	خازن بار (پیکوفاراد)	معیار شایستگی (مگاهرتز در پیکوفاراد بر میلی‌وات)
[۵۴]	دو طبقه با جبران‌سازی میلر	۰/۱۸	الگوریتم تکاملی (MCOA)	۲۵۱	۴/۲	۱	۵۹/۷۶۱
[۵۵]	دو طبقه با جبران‌سازی میلر توسط مقاومت خنثی‌ساز	۰/۱۳	الگوریتم بر پایه هوش ازحامی (CRPSO)	۱۱۱/۲	۰/۰۱۹۶۱	۰/۰۵	۲۸۳/۵۲۸
[۵۶]	دو طبقه با جبران‌سازی میلر	۰/۳۵	الگوریتم ترکیبی (RPSODE)	۵/۵۲۶	۰/۸۷۹۴	۱۰	۶۲/۸۳۸
[۵۷]	دو طبقه با جبران‌سازی میلر	۰/۱۳	الگوریتم فراابتکاری (WOA)	۴/۲۹۳	۰/۲۶۶	۷	۱۱۲/۹۷۳
[۵۸]	دو طبقه با جبران‌سازی میلر	۰/۳۵	الگوریتم تکاملی (GA)	۰/۱۰۳۷	۰/۰۲۰۲	۰/۰۵	۰/۲۵۶
[۵۸]	دو طبقه با جبران‌سازی میلر	۰/۳۵	الگوریتم بر پایه هوش ازحامی (ACO)	۰/۱	۰/۰۱۹۷۵	۰/۰۵	۰/۲۵۳
[۵۹]	دو طبقه با جبران‌سازی میلر	۰/۱۸	الگوریتم فراابتکاری (GWO)	۸/۶۳	۱/۶	۱۲	۶۴/۷۲۵
روش پیشنهادی	دو طبقه با جبران‌سازی میلر	۰/۱۸	شبکه عصبی مصنوعی	۲/۸۸۸	۰/۰۳۶۳۷	۹/۰۷۵	۷۲۰/۶۱

۱۰- مقایسه با چند تحقیق و نتیجه‌گیری

در این مقاله، قابلیت شبکه‌های عصبی مصنوعی برای مدل‌سازی عملکرد یک تقویت‌کننده‌ی عملیاتی، ایجاد طراحی‌های جدید و انجام مصالحه مورد نظر کاربر، بین پارامترهای طراحی مختلف مورد بررسی قرار گرفت. پس از بررسی مروری کاربرد شبکه‌های عصبی مصنوعی در طراحی مدارهای آنالوگ، تقویت‌کننده عملیاتی دو طبقه به‌عنوان یک ساختار نمونه در نظر گرفته شد. سپس فرایند طراحی این تقویت‌کننده با استفاده از نمونه‌برداری‌های مبتنی بر شبیه‌سازی‌های موازی اچ-اسپایس و روش نمونه‌برداری بازه‌ای انجام گرفت که باعث سهولت و خودکارسازی قابل توجه در فرایند طراحی تقویت‌کننده شد. در نهایت، شبکه عصبی مصنوعی پس از یک بار آموزش، موفق به ایجاد طراحی‌های جدید شد و مصالحه مورد نظر بین پارامترهای عملکردی تقویت‌کننده مورد بررسی حاصل شد. در جدول (۸)، مقایسه طراحی‌های حاصل از روش ارائه شده در این مقاله، با نتایج برخی از روش‌های به کار رفته برای طراحی تقویت‌کننده‌های عملیاتی دارای ساختار تقریبا مشابه در کارهای قبلی، نشان می‌دهد که ضریب شایستگی حاصل از تقسیم حاصل‌ضرب پهنای باند واحد و خازن بار به توان مصرفی، از ۲۸۳ مگاهرتز در پیکوفاراد بر میلی‌وات به ۷۲۰ مگاهرتز در پیکوفاراد بر میلی‌وات افزایش یافته است، که معرف رشد ۱۵۴ درصدی است. مدل‌سازی سایر تقویت‌کننده‌ها مانند تقویت‌کننده‌ی عملیاتی ترارسانایی (OTA) پیشنهاد شده در مرجع [۶۰] حتی در فناوری‌های جدید معرف موفقیت طرح پیشنهادی است.



شکل (۹): نمودار پاسخ فرکانسی بهره و فاز طراحی‌های پیش‌بینی شده برای حصول بهترین مصرف توان

Figure (9): The gain and phase frequency response plots of the predicted designs for reaching best power dissipation

References

مراجع

[1] B.J. Hosticka, W. Brockherde, D. Hammerschmidt, R. Kokozinski, "Low-voltage CMOS analog circuits", IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol. 42, no. 11, pp. 864-872, Nov. 1995 (doi: 10.1109/81.477197).

[2] S.P. Mohanty, E. Kougianos, "Biosensors: A tutorial review", IEEE Potentials, vol. 25, no. 2, pp. 35-40, March/April 2006 (doi: 10.1109/MP.2006.1649009).

[3] B. Rostami, F. Shanehsazzadeh, M. Fardmanesh, "Fast fourier transform based NDT approach for depth detection of hidden defects using HTS rf-SQUID", IEEE Trans. on Applied Superconductivity, vol. 28, no. 7, pp. 1-6, Oct. 2018 (doi: 10.1109/TASC.2018.2841927).

[4] S.M.A. Zanjani, M. Aalipour, M. Parvizi, "Design of a low power temperature sensor based on sub-threshold performance of carbon nanotube transistors with an inaccuracy of 1.5ºC for the range of -30 to 125ºC", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 50, pp. 115-127, Sept. 2022 (in Persian) (dor: 20.1001.1.23223871.1401.13.50.7.8).

[5] S. Alizadeh-Zanjani, A. Jannesari, P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 51, pp. 73–88, Dec. 2022 (in Persian) (dor: 20.10-01.1.23223871.1401.13.51.5.8).

[6] P. Agrawal, H.F. Abutarboush, T. Ganesh, A.W. Mohamed, "Metaheuristic algorithms on feature selection: A survey of one decade of research (2009-2019)", IEEE Access, vol. 9, pp. 26766-26791, Feb. 2021 (doi: 10.1109/ACCESS.2021.3056407).

[7] R.A. Rutenbar, "Simulated annealing algorithms: An overview", IEEE Circuits and Devices Magazine, vol. 5, no. 1, pp. 19-26, Jan. 1989 (doi: 10.1109/101.17235).

[8] S. Kirkpatrick, C.D. Gelatt, M.P. Vecchi, "Optimization by simulated annealing", Science, vol. 220, no. 4598, pp. 671–680, May 1983 (doi: 10.1126/science.220.4598.671).
[9] E.M. Abdelkader, A. Al-Sakkaf, N. Elshaboury, G. Alfalah, "Hybrid grey wolf optimization-based gaussian process regression model for simulating deterioration behavior of highway tunnel components", Processes, vol. 10, no. 1, Article Number: 36, Dec. 2021 (doi: 10.3390/pr10010036).
[10] M. Barari, H.R. Karimi, F. Razaghian, "Analog circuit design optimization based on evolutionary algorithms", Mathematical Problems in Engineering, vol. 2014, pp. 1–12, April 2014 (doi: 10.1155/2014/593684).
[11] Y. Jiang, J. Ju, X. Zhang, B. Yang, "Automated analog circuit design using Genetic Algorithms", Proceeding of the IEEE/ICASID, pp. 223-228, Hong Kong, Aug. 2009 (doi: 10.1109/icasid.2009.5276912).
[12] J.B. Grimbleby, "Automatic analogue circuit synthesis using genetic algorithms", IEE Proceedings- Circuits, Devices and Systems, vol. 147, no. 6, pp. 319-323, Jan. 2001 (doi: 10.1049/ip-cds:20000770).
[13] B. Liu, F.V. Fernandez, G.G.E. Gielen, "Efficient and accurate statistical analog yield optimization and variation-aware circuit sizing based on computational intelligence techniques", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 30, no. 6, pp. 793–805, June 2011 (doi: 10.1109/tc-ad.2011.2106850).
[14] H. Yuan, J. He, "Evolutionary design of operational amplifier using variable-length differential evolution algorithm", Proceeding of the IEEE/ICCASM, pp. 610-614, Taiyuan, China, Oct. 2010 (doi: 10.1109/icca-sm.2010.5620307).
[15] K. Kaur, Y. Kumar, "Swarm intelligence and its applications towards various computing: A systematic review", Proceeding of the IEEE/ICIEM, pp. 57-62, London, UK, June 2020 (doi: 10.1109/ICIEM48762.202-0.9160177).
[16] R.A. Vural, T. Yildirim, "Analog circuit sizing via swarm intelligence", AEU- International Journal of Electronics and Communications, vol. 66, no. 9, pp. 732–740, Sept. 2012 (doi: 10.1016/j.aeue.2012.01.003).
[17] B. Bachir, A. Ali, M. Abdellah, "Multiobjective optimization of an operational amplifier by the ant colony optimisation algorithm", Electrical and Electronic Engineering, vol. 2, no. 4, pp. 230–235, Aug. 2012 (doi: 10.5923/j.eee.20120204.09).
[18] O. Bouattane, B. Benhala, "GA and ACO techniques for the analog circuits design optimization", Journal of Theoretical and Applied Information Technology, vol. 64, pp. 413-419, 2014.
[19] B. Benhala, A. Ahaitouf, A. Mechaqrane, B. Benlahbib, F. Abdi, E.H. Abarkan, M. Fakhfakh, "Sizing of current conveyors by means of an ant colony optimization technique", Proceeding of the IEEE/ICMCS, pp. 1-6, Ouarzazate, Morocco, April 2011 (doi: 10.1109/ICMCS.2011.5945669).
[20] J. Dean, "A golden decade of deep learning: Computing systems & applications", Daedalus, vol. 151, no. 2, pp. 58–74, May 2022 (doi: 10.1162/daed_a_01900).
[21] Z. Zhao, L. Zhang, "Efficient performance modeling for automated CMOS analog circuit synthesis", IEEE Trans. on Very Large-Scale Integration (VLSI) Systems, vol. 29, no. 11, pp. 1824-1837, Nov. 2021 (doi: 10.1109/TVLSI.2021.3107404).
[22] H. Yang, C. Meng, C. Wang, "Data-driven feature extraction for analog circuit fault diagnosis using 1-D convolutional neural network", IEEE Access, vol. 8, pp. 18305-18315, Jan. 2020 (doi: 10.1109/ACCESS.20-20.2968744).
[23] M. Hayati, A. Rezaei, M. Seifi, "CNT-MOSFET modeling based on artificial neural network: Application to simulation of nanoscale circuits", Solid-State Electronics, vol. 54, no. 1, pp. 52–57, Jan. 2010 (doi: 10.1016/j.sse.2009.09.027).
[24] E. Afacan, N. Lourenço, R. Martins, G. Dündar, "Review: Machine learning techniques in analog/RF integrated circuit design, synthesis, layout, and test", Integration, vol. 77, pp. 113–130, March 2021 (doi: 10.1016/j.vlsi.2020.11.006).
[25] S. Du, H. Liu, H. Yin, F. Yu, J. Li, "A local surrogate-based parallel optimization for analog circuits", AEU-International Journal of Electronics and Communications, vol. 134, Article Number: 153667, May 2021 (doi: 10.1016/j.aeue.2021.153667).
[26] C.C. Chang, J. Pan, T. Zhang, Z. Xie, J. Hu, W. Qi, C.W. Lin, R. Liang, J. Mitra, E. Fallon, Y. Chen, "Automatic routability predictor development using neural architecture search", Proceeding of the IEEE/ACM-ICCAD, pp. 1-9, Munich, Germany, Nov. 2021 (doi: 10.1109/ICCAD51958.2021.9643483).
[27] N. Takai, M. Fukuda, "Prediction of element values of OPAmp for required specifications utilizing deep learning", Proceeding of the IEEE/ISESD, Yogyakarta, Indonesia, Oct. 2017 (doi: 10.1109/isesd.-2017.8253353).
[28] S. Zhang, W. Lyu, F. Yang, C. Yan, D. Zhou, X. Zeng, "Bayesian optimization approach for analog circuit synthesis using neural network", Proceeding of the IEEE/DATE, pp. 1463-1468, Florence, Italy, March 2019 (doi: 10.23919/DATE.2019.8714788).

[29] B. He, S. Zhang, F. Yang, C. Yan, D. Zhou, X. Zeng, "An efficient bayesian optimization approach for analog circuit synthesis via sparse bayesian process modeling", Proceeding of the IEEE/DATE, pp. 67-72, Grenoble, France, March 2020 (doi: 10.23919/DATE48585.2020.9116366).
[30] B. Rajabi, F. Razaghian, "Analog circuit complementary optimization based on evolutionary algorithms and artificial neural network", Signal Processing and Renewable Energy, vol. 2, no. 1, pp. 15-26, March 2018 (dor: 20.1001.1.25887327.2018.2.1.3.1).
[31] Y. Li, Y. Lin, M. Madhusudan, A. Sharma, W. Xu, S.S. Sapatnekar, R. Harjani, J. Hu, "A customized graph neural network model for guiding analog IC placement", Proceeding of the IEEE/ACM, pp. 1-9, San Diego, CA, USA, Nov. 2020 (doi: 10.1145/3400302.3415624).
[32] Y. Li, Y. Wang, Y. Li, R. Zhou, Z. Lin, "An artificial neural network assisted optimization system for analog design space exploration", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 39, no. 10, pp. 2640-2653, Oct. 2020 (doi: 10.1109/TCAD.2019.2961322).
[33] A. Budak, M. Gandara, W. Shi, D. Pan, N. Sun, B. Liu, "An efficient analog circuit sizing method based on machine learning assisted global optimization", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 41, no. 5, pp. 1209-1201, May 2022 (doi: 10.1109/TCAD.2021.3081405).
[34] N. Kahraman, T. Yildirim, "Technology independent circuit sizing for fundamental analog circuits using artificial neural networks", Proceeding of the IEEE/RME, pp. 1-4, June/April 2008 (doi: 10.1109/RME.2008.4595710).
[35] J.P.S. Rosa, D.J.D. Guerra, N.C.G. Horta, R.M.F. Martins, N.C.C. Lourenço, "Using artificial neural networks for analog integrated circuit design automation", Springer Cham, Switzerland Springer, Jan. 2020 (ISBNN: 978-3-030-35742-9).
[36] N. Lourenço, E. Afacan, R. Martins, F. Passos, A. Canelas, R. Póvoa, N. Horta, G. Dundar, "Using polynomial regression and artificial neural networks for reusable analog IC sizing", Proceeding of the SMACD, pp. 13-16, Lausanne, Switzerland, July 2019 (doi: 10.1109/SMACD.2019.8795282).
[37] V.K. Devabhaktuni, M.C.E. Yagoub, Y. Fang, J. Xu, Q.J. Zhang, "Neural networks for microwave modeling: Model development issues and nonlinear modeling techniques", International Journal of RF and Microwave Computer-Aided Engineering, vol. 11, no. 1, pp. 4–21, Jan. 2001 (doi: 10.1002/1099-047x(200101)).
[38] T. Dhaene, J. Ureel, N. Fache, D.D. Zutter, "Adaptive frequency sampling algorithm for fast and accurate S-parameter modeling of general planar structures", Proceedings of the IEEE/MWSYM, vol. 3, pp. 1427-1430 Orlando, FL, USA, May 1995 (doi: 10.1109/MWSYM.1995.406240).
[39] P.B.L. Meijer, "Fast and smooth highly nonlinear multidimensional table models for device modeling", IEEE Trans. on Circuits and Systems, vol. 37, no. 3, pp. 335–346, Mar. 1990 (doi: 10.1109/31.52727).
[40] J. Mitchell, W. McDaniel, "Adaptive sampling technique", IEEE Trans. on Automatic Control, vol. 14, no. 2, pp. 200-201, April 1969 (doi: 10.1109/TAC.1969.1099144).
[41] U. Beyer and F. Śmieja, "Data exploration with reflective adaptive models," Computational Statistics & Data Analysis, vol. 22, no. 2, pp. 193–211, Jul. 1996, (doi: 10.1016/0167-9473(95)00048-8).
[42] V.K. Devabhaktuni, Q.J. Zhang, "Neural network training-driven adaptive sampling algorithm for microwave modeling", Proceeding of the EUMA, pp. 1-4, Paris, France, Oct 2000 (doi: 10.1109/EUMA.2000.338591).
[43] Z. Wang, X. Luo, Z. Gong, "Application of deep Learning in analog circuit sizing", Proceedings of the CSAI, pp. 571–575, Shenzhen China, Dec.2018 (doi: 10.1145/3297156.3297160).
[44] E. Siggiridou, D. Kugiumtzis, "Dimension reduction of polynomial regression models for the estimation of granger causality in high-dimensional time series", IEEE Trans. on Signal Processing, vol. 69, pp. 5638-5650, Oct. 2021 (doi: 10.1109/TSP.2021.3114997).
[45] G.T. Toussaint, "Polynomial representation of classifiers with independent discrete-valued features", IEEE Trans. on Computers, vol. C-21, no. 2, pp. 205-208, Feb. 1972 (doi: 10.1109/TC.1972.5008928).
[46] Y.Y. Hsin, T.S. Dai, Y.W. Ti, M.C. Huang, T.H. Chiang, L.C. Liu, "Feature engineering and resampling strategies for fund transfer fraud with limited transaction data and a time-inhomogeneous modi operandi", IEEE Access, vol. 10, pp. 86101-86116, Aug. 2022 (doi: 10.1109/ACCESS.2022.3199425).
[47] G.B. Huang, "Learning capability and storage capacity of two-hidden-layer feedforward networks", IEEE Trans. on Neural Networks, vol. 14, no. 2, pp. 274-281, March 2003 (doi: 10.1109/TNN.2003.809401).
[48] J. Ke, X. Liu, "Empirical analysis of optimal hidden neurons in neural network modeling for stock prediction", Proceeding of the IEEE/PACIIA, pp. 828-832, Wuhan, China, Dec. 2008 (doi: 10.1109/PACIIA.2008.363).
[49] S. Trenn, "Multilayer perceptrons: Approximation order and necessary number of hidden units", IEEE Trans. on Neural Networks, vol. 19, no. 5, pp. 836-844, May 2008 (doi: 10.1109/TNN.2007.912306).
[50] W. Qu, S. Singh, Y. Lee, Y.S. Son, G.H. Cho, "Design-oriented analysis for miller compensation and its application to multistage amplifier design", IEEE Journal of Solid-State Circuits, vol. 52, no. 2, pp. 517-527, Feb. 2017 (doi: 10.1109/JSSC.2016.2619677).

[51] D. Marano, A.D. Grasso, G. Palumbo, S. Pennisi, "Optimized active single-miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 63, no. 9, pp. 1349-1359, Sept. 2016 (doi: 10.1109/TCSI.2016.2573920).
[52] S. K. Rajput, B.K. Hemant, "Two-stage high gain low power OpAmp with current buffer compensation", Proceeding of the IEEE/GHTCE, pp. 121-124, Shenzhen, China, Nov. 2013 (doi: 10.1109/GHTCE.2013.6-767255).
[53] S.M.H. Largani, S. Shahsavari, S. Biabanifard, A. Jalali, "A new frequency compensation technique for three stages OTA by differential feedback path: SMC, frequency compensation, differential feedback path", International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 28, no. 4, pp. 381–388, July 2015 (doi: 10.1002/jnm.2013).
[54] S. M. Anisheh, C. Dadkhah, "A two-stage method for optimizing the parameters of CMOS operational amplifiers based on evolutionary algorithm", The CSI Journal on Computer Science and Engineering, vol. 14, no. 2, pp. 1-10, Winter 2017.
[55] B.P. De, K.B. Maji, R. Kar, D. Mandal, S.P. Ghoshal, "Application of improved PSO for optimal design of CMOS two-stage Op-amp using nulling resistor compensation circuit", Proceeding of the IEEE/DevIC), pp. 110-115, Kalyani, India, March 2017 (doi: 10.1109/DEVIC.2017.8073917).
[56] B.P. De, K.B. Maji, R. Kar, D. Mandal, S.P. Ghoshal, "Design of optimal CMOS analog amplifier circuits using a hybrid evolutionary optimization technique", Journal of Circuits, Systems and Computers, vol. 27, no. 02, Article Number: 1850029, Sept. 2017 (doi: 10.1142/s0218126618500299).
[57] M.A.M. Majeed, P.S. Rao, "Optimal design of CMOS amplifier circuits using whale optimization algorithm", Communications in Computer and Information Science, pp. 590–605, Oct. 2018 (doi: 10.1007/978-981-13-2372-0_53).
[58] H. Gupta, B. Ghosh, "Analog circuits design using ant colony optimization", International Journal of Electronics Communication and Computer Technology, vol. 2, pp. 9-21, May 2012.
[59] S. Asaithambi, M. Rajappa, L. Ravi, "Optimization and control of CMOS analog integrated circuits for cyber-physical systems using hybrid grey wolf optimization algorithm", Journal of Intelligent and Fuzzy Systems, vol. 36, no. 5, pp. 4235–4245, May 2019 (doi: 10.3233/jifs-169981).
[60] S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 63-74, June 2021 (in Persian) (dor: 20.1001.1.23223871.1400.12.1.5.1).

زیرنویس‌ها

1. Metaheuristic algorithms (Mas)
2. Simulated annealing (SA)
3. Grey wolf optimization algorithm (GWO)
4. Evolutionary algorithms (Eas)
5. Genetic algorithm (GA)
6. Differential evolution algorithm (DE)
7. Swarm intelligence (SI)
8. Particle swarm optimization algorithm (PSO)
9. Ant colony optimization algorithm (ACO)
10. Figure of merit (FoM)