دوره یازدهم، شماره اول، بهار و تابستان ۱۳۹۷

مجله فناوری اطلاعات در طراحی مهندسی

Information Technology in Engineering Design

http://ited.sinaweb.net

طراحی مدار تمام جمع کننده/تمام تفریق کننده جدید مبتنی بر منطق برگشت‌پذیر در فنّاوری آتوماتای سلولی کوانتومی

محسن وهابی * (۱) امیر صباغ ملا حسینی (۲)

(۱) دانشگاه آزاد اسلامی، واحد کرمان، کرمان، ایران.*

(۲) دانشگاه آزاد اسلامی، واحد کرمان، کرمان، ایران.

(تاریخ دریافت : ۱۳۹٦/۱۲/۱۰ تاریخ پذیرش : ۱۳۹۷/۷/۱۷)

چکیده

با پیشرفت فنّاوری و دستیابی به دستگاه‌هایی در ابعاد نانو، فنّاوری آتوماتای سلولی کوانتومی (*QCA*) به‌عنوان جایگزین احتمالی مدارات *CMOS* پیشنهادشده است. از سوی دیگر منطق برگشت‌پذیر نیز در منطق دیجیتال مبحثی جدید محسوب می‌شود و اساس آن برپایه گیت‌های برگشت‌پذیر است. همچنین، بلوک‌های جمع کننده به‌ویژه مدار تمام جمع کننده/تمام تفریق کننده از اهمیت زیادی به دلیل انجام هر دو عملیات جمع و تفریق برخوردار است. ازاین‌رو در این مقاله، طراحی یک مدار تمام جمع کننده/تمام تفریق کننده جدید هم‌سطح مبتنی بر منطق برگشت‌پذیر با استفاده از فنّاوری اتوماتای کوانتومی سلولی ارائه‌شده است که طراحی صورت گرفته بر پایه بهبود گیت *RQG* و پیاده‌سازی جدید سلولی آن انجام‌شده است. مدار ترکیبی جمع کننده/تفریق کننده پیشنهادی، تعداد سلول کمتر، سطح مدار مصرفی کمتر، تأخیر کمتر، تابع هزینه کمتر و پیاده‌سازی هم‌سطح (تک لایه) نسبت به طراحی‌های قبلی دارا می‌باشد.

واژه‌های کلیدی: *QCA* ، منطق برگشت‌پذیر ، *RQG* ، تمام جمع کننده/تمام تفریق کننده ، *FA\S* ، هم‌سطح(تک لایه)

* عهده‌دار مکاتبات:

نشانی: دانشگاه آزاد اسلامی، واحد کرمان، کرمان، ایران.

تلفن: ۰۹۱۳۲٤۲۱٥٦٦ پست الکترونیکی: *mohsen.vahabi@iauk.ac.ir*

۱. مقدمه

برای یافتن جایگزین مناسب فنّاوری CMOS، برای حفظ صرفه اقتصادی در روند نزولی مقیاس دستگاه‌های نانو الکترونیک در کاربردهایی مانند پردازش سیگنال [۱]، مطالعات و پژوهش‌های زیادی صورت گرفته که یکی از مهم‌ترین نتایج حاصل آتوماتای سلولی کوانتومی (QCA) می‌باشد که به‌عنوان جایگزین احتمالی مدارات CMOS پیشنهادشده است. ابعاد بسیار کوچک ، سرعت بسیار زیاد ، تأخیر بسیار کم و توان مصرفی بسیار پایین ازجمله ویژگی‌های این فنّاوری است. از سوی دیگر جمع کننده‌ها که از اساسی‌ترین واصلی‌ترین مدارات محاسباتی منطق دیجیتال هستند ، به‌عنوان شایع‌ترین و پرکاربردترین مدار حسابگر دیجیتال موضوع قابل‌توجه بسیاری از مطالعات تحقیقاتی است [۲, ۳]. همچنین جمع کننده‌ها یکی از بلوک‌های اصلی و اساسی تشکیل‌دهنده دستگاه‌های VLSI زیادی نظیر میکروپروسسورها و پردازنده‌های مختلف می‌باشند. ازجمله عواملی که باعث بهینه‌سازی بلوک‌های مربوطه می‌شود طراحی‌های جدید متناسب با ظهور فنّاوری نوین می‌باشد. همچنین طراحی تمام جمع کننده به‌عنوان یک بلوک جامع مورداستفاده در طراحی‌های پیچیده از اهمیت ویژه‌ای برخوردار است. طراحی تمام جمع کننده با ساختار ساده و مصرف توان محدود می‌تواند در ساده کردن مدارهای دیجیتال نقش اساسی ایفا کند. همچنین طراحی تمام جمع کننده/تمام تفریق کننده به‌عنوان یک مدار مرکب محاسبه‌گر هر دو عمل جمع و تفریق از اهمیت فوق‌العاده ویژه‌ای برخوردار است. ازجمله مشکلاتی که در طراحی مدارها و سلول‌های مرکب وجود دارد ، چگونگی طراحی تقاطع سیم‌ها به بهترین حالت برای کاهش هزینه می‌باشد [٤]. ازاین‌رو برای طراحی تقاطع‌های QCA سه روش ارائه‌شده است؛ که طراحی‌های چندلایه به علت افزایش سطح مدار و هزینه‌های پیاده‌سازی بالا مطلوب نمی‌باشند [٤, ٥] و همچنین طراحی‌های تقاطع با سلول‌های ٤٥ درجه نیز به دلیل استحکام کم و هزینه پیاده‌سازی بالا مناسب نمی‌باشند[٥, ٧]. درنتیجه طراحی تقاطع سیم‌ها با بهره‌گیری از فازهای کلاک غیر مجاور مناسب بوده و از اهمیت بسیار ویژه‌ای برخوردار هستند [٥,٨]. از سوی دیگر منطق برگشت‌پذیر نیز در منطق دیجیتال مبحثی جدید محسوب می‌شود و اساس آن بر این نظریه است که می‌توان اتلاف انرژی را در طول یک مدار به صفر رساند درصورتی‌که بتوان از حالات انتهایی به حالات ابتدایی رسید صرف‌نظر از اینکه در طول مسیر چه اتفاقی رخ‌داده است. به‌عبارت‌دیگر محاسبات برگشت‌پذیر یکی از نمونه‌های محاسباتی است که با ایجاد یک نگاشت یک‌به‌یک بین حالت‌های ورودی و خروجی در مدار محقق می‌شود. در این مدارات می‌توان در هر مرحله از مسیر متوقف شد و به طبقات قبلی بازگشت و به ورودی‌های مدار دسترسی پیدا کرد. درواقع در این مدارات تناظری یک‌به‌یک بین بردار ورودی و خروجی وجود دارد و این یعنی نه‌تنها می‌توان خروجی‌ها را به‌صورت یک‌به‌یک از ورودی‌ها به دست آورد بلکه می‌توان تک‌تک ورودی‌ها را نیز از خروجی‌ها به دست آورد [۹].

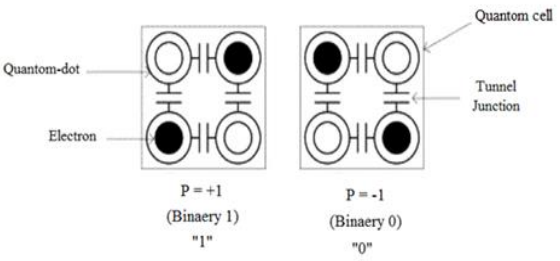
در این مقاله، یک طراحی جدید بهینه‌سازی از مدار تمام جمع کننده/تمام تفریق کننده برگشت‌پذیر با تعداد سلول کمتر، تأخیر کمتر، مساحت مصرفی کمتر و پیاده‌سازی هم‌سطح ارائه‌شده است؛ که بهینه‌سازی ایجادشده با بهبود گیت برگشت‌پذیر RQG، پیاده‌سازی سلولی مؤثر، طراحی تک لایه و بدون استفاده از سلول ٤٥ درجه در طراحی‌های پیشنهادی صورت گرفته است. بقیه این مقاله به شرح زیر ساماندهی شده است. در بخش ۲(مبانی تحقیق)، یک مروری بر QCA و گیت‌های پایه آن، منطق

برگشت‌پذیر و آثار قبلی ارائه‌شده است. در بخش ۳(کار پیشنهادی)، معماری گیت RQG و مدار تمام جمع کننده/تمام تفریق کننده پیشنهادی این تحقیقات ارائه‌شده است و در بخش٤(شبیه‌سازی و مقایسه نتایج)، با استفاده از جداول و نمودارها، به مقایسه طراحی‌های پیشنهادی با معماری‌های قبلی پرداخته‌ایم. در بخش ٥(نتیجه‌گیری)، از مقاله پیشه رو نتیجه‌گیری کرده‌ایم.

۲-مبانی تحقیق:

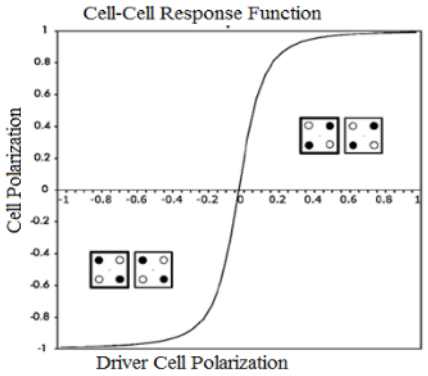
۲-۱ اتوماتای سلولی کوانتومی (QCA):

این فناوری بر پایه سلول‌های QCA می‌باشد و هر سلول QCA قادر به نشان دادن یک بیت منطقی با فضای اشغالی در مقیاس نانو می‌باشد. هر سلول QCA از ٤ حفره و ۲ الکترون که در داخل سلول محبوس شده‌اند، تشکیل‌شده است؛ که بر اساس دافعه کلومبی ایجادشده بین دو الکترون، دو ارزش منطقی "۰" و "۱" نشان داده می‌شوند. سلول‌های QCA در طراحی به‌صورت مربع نشان داده می‌شوند. شکل (۱) ساختار سلول QCA را نشان می‌دهد. نحوه انتخاب این دو ارزش منطقی نیز بر اساس کنترل سدهای پتانسیل و فازهای کلاک QCA صورت می‌گیرد.



شکل(۱) : ساختار سلول‌های QCA

هنگام جابه‌جایی الکترون‌ها داخل سلول ، الکترون‌ها بین حفره‌ها تونل می‌زنند که این جابه‌جایی الکترون‌ها داخل سلول به‌صورت یک حرکت غیرخطی می‌باشد و نیروی دافعه کولمبی فقط بین الکترون‌های داخل یک سلول برقرار نیست بلکه همانند شکل (۲) هر سلول از سلول مجاور که دارای مقدار ارزشی است تأثیر می‌گیرد و بر سلول مجاور بعدی که فاقد مقدار ارزشی است تأثیر می‌گذارد و آن را به مقدار ارزشی خود درمی‌آورد [۲ و ۳ و ۱۰].

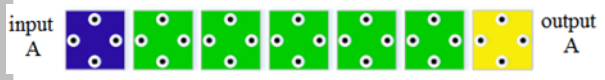


شکل(۲) : کوپلینگ سلول‌های QCA

۲-۲ سیم QCA :

در مدارات QCA با کنار هم قرار دادن سلول‌های QCA سیم ایجاد می‌شود. در سیم QCA سیگنال باینری (ارزش منطقی "۰" یا "۱") به دلیل تراکنش الکترواستاتیکی بین سلول‌های مجاور از ورودی به خروجی منتقل می‌شود. در حالت کلی دو روش سیم بندی در QCA به‌کاربرده می‌شود. روش اول با استفاده از سیم ۹۰ درجه و روش دوم با استفاده از سیم ٤٥ درجه می‌باشد [٥] و [٨]. شکل (۳) سیم ۹۰ درجه و شکل (٤) سیم ٤٥ درجه را نشان می‌دهند.

شکل (۳) : سیم QCA 90 درجه (°۹۰)

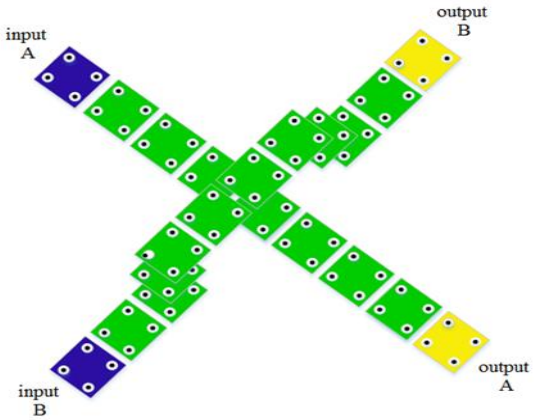


شکل (٤) : سیم QCA 45 درجه (°٤٥)

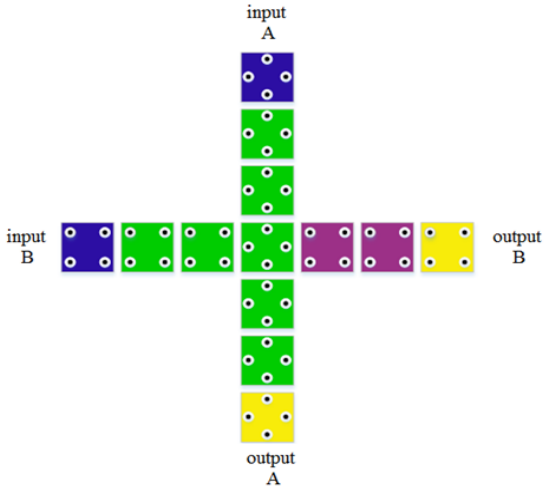
۲-۳ عبور سیم‌های wire crossing (QCA):

برای عبور سیم‌های QCA از روی‌هم مشکل اصلی در محل تلاقی دو سیم می‌باشد. برای اینکه دو سیم داده یکدیگر را خراب نکنند دو روش وجود دارد. روش اول طراحی تقاطع سیم‌ها با استفاده از طراحی لایه‌ای و روش دوم طراحی تقاطع سیم‌ها به‌صورت تک لایه

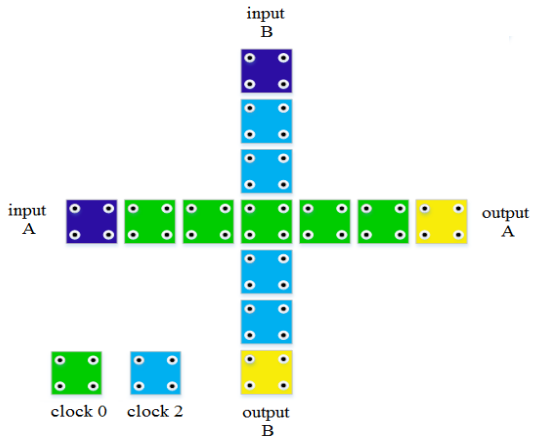
می‌باشد [۸]. درروش طراحی لایه‌ای کلیه سلول‌ها از نوع ۹۰ درجه می‌باشند و در طراحی برای عبور سیم‌ها در محل تلاقی و جلوگیری از تأثیرگذاری دو سیم از لایه‌های دیگر برای عبور یکی از سیم‌ها استفاده می‌شود [٦, ١١]. برای عبور سیم‌های QCA در تک لایه دو روش طراحی وجود دارد. روش اول طراحی تک لایه باسیم‌های ٤٥ درجه و ۹۰ درجه و روش دوم طراحی تک لایه باسیم ۹۰ درجه و با استفاده از فازهای کلاک غیر مجاور صورت می‌گیرد [۷, ۱۱, ۱۲]. که شکل‌های (٥)، (٦)، (۷) و (۸) به ترتیب طراحی لایه‌ای و طراحی هم‌سطح با تقاطع سیم‌های ٤٥ ، ۹۰ و طراحی هم‌سطح با فازهای کلاک غیر مجاور را نشان می‌دهند.



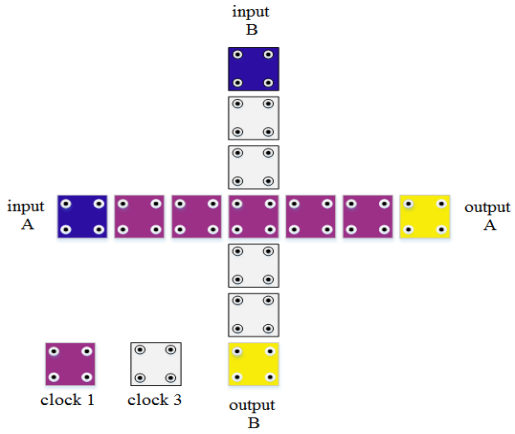
شکل (٥) : طراحی تقاطع لایه‌ای



شکل (٦) : طراحی تک لایه تقاطع باسیم‌های °٤٥ و °۹۰



شکل (۷) : طراحی هم‌سطح تقاطع با فازهای کلاک غیر مجاور (فازهای ۰ و ۲)

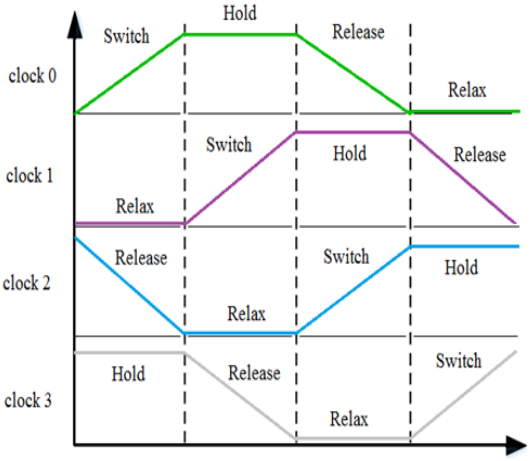


شکل (۸) : طراحی هم‌سطح تقاطع با فازهای کلاک غیر مجاور (فازهای ۱ و ۳)

٤-۲ زمان‌بندی و کلاکینگ QCA :

در فنّاوری QCA از طریق اعمال سیگنال کلاک در ٤ فاز متمایز و پریودیک، عمل کلاکینگ صورت می‌گیرد و درواقع کلاک QCA علاوه بر همگام‌سازی، موانع داخل سلول‌ها را نیز کنترل می‌کند؛ به‌گونه‌ای که زمانی موانع پایین هستند الکترون‌ها می‌توانند جابه‌جا شوند و وقتی‌که موانع بالا هستند الکترون‌ها در داخل حفره‌ها محبوس می‌شوند. درنتیجه برای ایجاد دو حالت قطبیت سلول‌های QCA از فازهای کلاک QCA استفاده می‌شود. در شکل(۹) ٤ فاز کلاک QCA نشان داده‌شده‌اند. در اولین فاز کلاک (Switch) موانع در حال بالا آمدن هستند و با بالا آمدن موانع، سلول‌های QCA

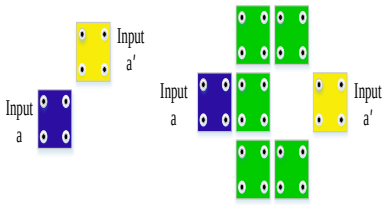
بر طبق مقادیر ورودی خود مقداردهی شده و در پایان این فاز کلاک ، موانع به‌اندازه کافی برای جلوگیری از تونل زنی الکترونی بالا هستند؛ درنتیجه سلول قفل می‌شود. در دومین فاز کلاک (Hold) موانع همچنان بالا هستند. در این فاز سلول کاملاً پایدار است و داده‌ی خود را به سلول‌های اطراف انتقال می‌دهد. در سومین فاز کلاک (Release) موانع به‌مرور پایین می‌آیند و سلول ناپایدار می‌شود و به داده‌ی داخل سلول نیاز نداریم و سلول پلاریزاسیون خود را از دست می‌دهد. در چهارمین فاز کلاک (Relax) موانع سلول در پایین‌ترین حالت هستند و سلول‌ها در حالت بدون پلاریزاسیون (unpolarized) باقی می‌مانند و از سلول استفاده‌ای نمی‌شود. بعد از پایان این فاز ، سلول دوباره وارد فاز سوئیچ (Switch) می‌شود و این مکانیسم دوباره تکرار خواهد شد[٦ و ١٣].



شکل (٩) چهار فاز کلاک QCA

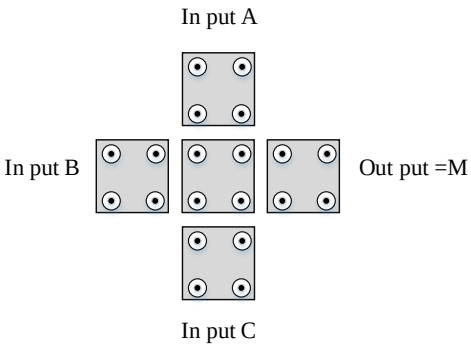
٢-٥ گیت‌های پایه QCA :

ازجمله گیت‌های پایه QCA، گیت معکوس کننده (گیت Not) است که در فنّاوری QCA برای معکوس کردن سیگنال موردنظر بر طبق نیاز از یکی از طراحی گیت وارونگر که در شکل (١٠) نشان داده‌شده است برای کاربرد موردنظر استفاده می‌شود [١٤, ١٥].



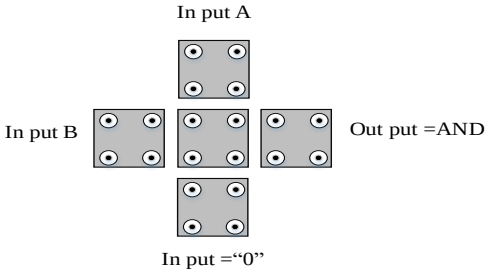
شکل (١٠) : انواع گیت وارونگر (گیت Not)

گیت اکثریت(Majority) یکی از پرکاربردترین گیت‌های منطقی در فنّاوری QCA می‌باشد. این گیت دارای تعداد ورودی‌های فرد و یک خروجی می‌باشد و بر اساس مقدار ارزشی اکثریت ورودی‌ها، سلول خروجی مقداردهی می‌شود. به‌عبارت‌دیگر رأی اکثریت ورودی‌ها تعیین‌کننده مقدار خروجی می‌باشد [١٠, ١٤]. شکل (١١) نمونه‌ای از این گیت را نشان می‌دهند.

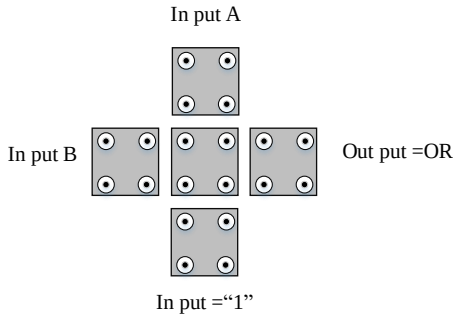


شکل(١١) : گیت اکثریت ٣ ورودی

گیت‌های AND و OR نیز با ثابت کردن (فیکس کردن) یکی از ورودی‌های گیت اکثریت و به ترتیب مقداردهی "٠" منطقی (پلاریزاسیون١-) و "١" منطقی (پلاریزاسیون١+) ساخته می‌شوند [١٤, ١٦]. شکل‌های (١٢) و (١٣) به ترتیب گیت‌های AND و OR دو ورودی را نشان می‌دهند.



شکل (١٢) : گیت AND دو ورودی



شکل(۱۳) گیت OR دو ورودی

۲-٦ منطق برگشت‌پذیر :

در اوایل دهه ٦۰ میلادی رالف لاندائور با تکیه‌بر مباحث ترمودینامیک نشان داد که طراحی مدارهای منطقی و دیجیتالی با استفاده از منطق غیر برگشت‌پذیر (بازگشت‌ناپذیر)، به دلیل بیشتر بودن تعداد ورودی‌های مدار از تعداد خروجی‌های آن موجب اتلاف ناخواسته‌ی انرژی الکتریکی می‌شود. بنابراین تعدادی از بیت‌های حاوی اطلاعات در حین پردازش از بین رفته و انرژی الکتریکی آن‌ها به‌صورت گرما آزاد می‌شود. وی ثابت کرد که به ازای از دست دادن هر بیت اطلاعات در حین پردازش به‌اندازه KTln2 ژول انرژی به‌صورت گرما آزاد می‌شود. که در این رابطه K ثابت بولتزمن و T درجه حرارت (برحسب کلوین) که پردازش در آن دما صورت می‌گیرد. اگرچه انرژی که به ازای هر بیت اطلاعات به‌صورت گرما آزاد می‌شود (تلف می‌شود) تقریباً به‌اندازه (۲۱-)۱۰×۲.۹ ژول خواهد بود و این مقدار بسیار ناچیز است. بااین‌حال همین مقدار بسیار کم در مدارات فشرده و پرتراکم میزان قابل‌توجهی می‌باشد و جلوگیری از بروز این مشکل از اهمیت بالایی برخوردار است [۱۷, ۱۸, ۱۹, ۲۰]. در سال ۱۹۷۳ چارلز بنت فیزیکدان شرکت آی‌بی‌ام نشان داد که می‌توان محاسبات را به‌صورت برگشت‌پذیر انجام داد. او ثابت کرد که حذف اتلاف توان در یک مدار منطقی امکان‌پذیر است اگر مدار تنها شامل گیت‌های منطقی برگشت‌پذیر باشد. به‌عبارت‌دیگر او نشان داد می‌توان اتلاف انرژی را در طول یک مدار به صفر رساند درصورتی‌که بتوان از حالات انتهایی به حالات ابتدایی رسید صرف‌نظر از اینکه در طول مسیر چه اتفاقی افتاده است [۲۱]. توفولی و فردکین اولین بار در اواخر دهه‌ی ۷۰ و اوایل دهه‌ی ۸۰ میلادی از منطق برگشت‌پذیر برای پیاده‌سازی گیت‌های پیشنهادی خود استفاده کردند و بعد از آن‌ها افراد دیگری ازجمله فاینمن و پرس و... نیز مدل‌ها و گیت‌های پیشنهادی خود را در این زمینه ارائه دادند. درواقع هدف اصلی از طراحی مدارات با منطق برگشت‌پذیر و پیاده‌سازی آن‌ها با استفاده از گیت‌های برگشت‌پذیر، حذف توان مصرفی به ازای آزادی سازی انرژی حرارتی حاصل از هر بیت اطلاعات پردازشی می‌باشد. ازجمله جدیدترین گیت‌های منطقی برگشت‌پذیر گیت RQG [22] می‌باشد. در بخش بعد عملکرد این گیت برگشت‌پذیر به‌تفصیل شرح داده‌شده است.

۲-۷ گیت برگشت‌پذیر RQG :

گیت برگشت‌پذیر RQG به‌عنوان یک گیت قابل برگشت‌پذیر چندمنظوره می‌تواند برای پیاده‌سازی مدارهای منطقی مهمی مانند تمام جمع کننده و تمام تفریق کننده استفاده شود. با استفاده از گیت برگشت‌پذیر RQG و دو گیت برگشت‌پذیر Feynman، مدار تمام جمع کننده/تمام تفریق کننده برگشت‌پذیر با چهار ورودی و چهار خروجی قابل پیاده‌سازی می‌باشد. گیت RQG دارای سه ورودیX1، X2 و X3 و سه خروجی Y1، Y2 و Y3 می‌باشد. این گیت یکی از جدیدترین گیت‌های برگشت‌پذیر می‌باشد که روابط(۱)، (۲) و (۳) به ترتیب روابط مربوط به خروجی‌های Y1، Y2 و Y3 گیت RQG را نشان می‌دهند [۲۲]. شکل (۱٤) بلوک دیاگرام گیت RQG و جدول (۱) نیز جدول درستی این گیت می‌باشد [۲۲].

رابطه (۱) :

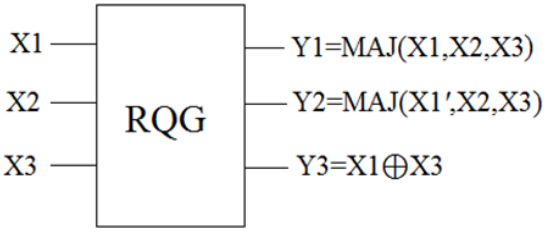
$Y1=MAJ(X1,X2,X3) = X1.X2 + X2.X3 + X1.X3$

رابطه (۲) :

$Y2=MAJ(X1',X2,X3) = X1'.X2 + X2.X3 + X1'.X3$

رابطه (۳) :

$Y3=X1 \oplus X3 = X1.X3' + X1'.X3$



شکل (۱٤) : بلوک دیاگرام گیت RQG [۲۲]

جدول (۱) : جدول درستی گیت RQG [۲۲]

Input			output		
X1	X2	X3	Y1	Y2	Y3
۰	۰	۰	۰	۰	۰
۰	۰	۱	۰	۱	۱
۰	۱	۰	۰	۱	۰
۰	۱	۱	۱	۱	۱
۱	۰	۰	۰	۰	۱
۱	۰	۱	۱	۰	۰
۱	۱	۰	۱	۰	۱
۱	۱	۱	۱	۱	۰

۲-۸ مروری بر کارهای گذشته:

در مقاله [۲۳]، معماری مدار تمام جمع کننده/ تمام تفریق کننده برگشت‌پذیر با تقاطع عبوری هم‌سطح بر اساس سلول‌های ٤٥ درجه طراحی و ارائه‌شده است. در این طراحی از ۱۰۸ سلول ٤٥ درجه استفاده‌شده است که استفاده از این نوع سلول موجب پایین آمدن استحکام و پایداری مدار و بالا رفتن هزینه‌های پیاده‌سازی می‌شود. در مقاله [۲۲] معماری مدار تمام جمع کننده/تمام تفریق کننده بازگشتی ارائه‌شده است که مقایسه اصلی تحقیقات پیش رو با این طراحی می‌باشد. این طراحی صورت گرفته به‌صورت هم‌سطح می‌باشد؛ درصورتی‌که طراحی پیشنهادی ما علاوه بر طراحی هم‌سطح، ازلحاظ تعداد سلول، مساحت مصرفی، تأخیر و تابع هزینه‌برتری قابل‌توجهی نسبت به این طراحی دارد.

۳-مدارات پیشنهادی:

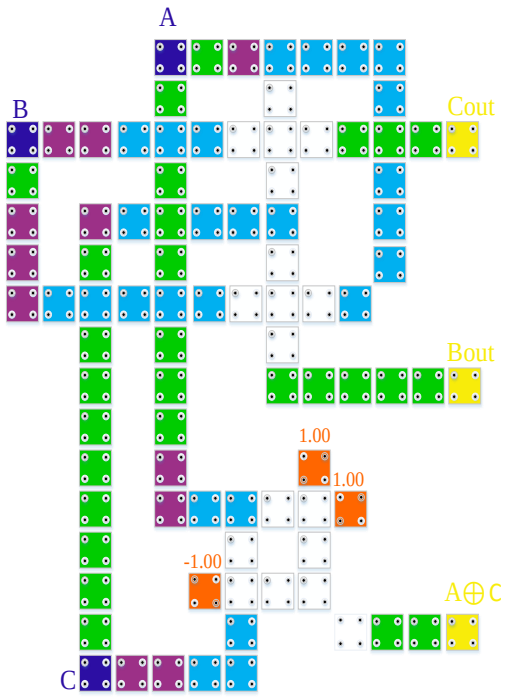
در این مقاله ما به طراحی گیت برگشت‌پذیر RQG [22] و پیاده‌سازی مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (FA\S) بر اساس طراحی گیت xor [24] می‌پردازیم. در طراحی‌های صورت گرفته، طراحی هم‌سطح (تک لایه) با استفاده فازهای کلاک غیر مجاور مدنظر قرارگرفته است؛ زیرا در طراحی مدارات QCA طراحی هم‌سطح و بدون استفاده از سلول‌های ٤٥ درجه به دلیل افزایش استحکام و پایداری مدار و همچنین هزینه پیاده‌سازی کمتر نسبت به طراحی‌های لایه‌ای و طراحی هم‌سطح با استفاده از سول‌های ٤٥، از اهمیت ویژه‌ای برخوردار است. ازاین‌رو مدارات طراحی‌شده از بهترین نمونه طراحی‌های صورت گرفته تاکنون می‌باشند؛ زیرا در طراحی‌های پیشنهادی بهبود پارامترهای اصلی QCA مدنظر قرارگرفته است. درنتیجه طراحی‌های صورت گرفته نه‌تنها ازنظر تعداد سلول، مساحت مصرفی، تأخیر و تابع هزینه نسبت به بهترین نمونه‌های قبلی بهتر است، بلکه فقط در تک لایه پیاده‌سازی شده‌اند.

۳-۱ گیت RQG پیشنهادی:

گیت RQG یکی از جدیدترین گیت‌های منطق برگشت‌پذیر است و بهبود پارامترهای اصلی مداری و پیاده‌سازی بهینه در فنّاوری QCA این گیت با توجه به کاربرد مهم آن در طراحی بهینه مدار تمام جمع کننده /تمام تفریق کننده برگشت‌پذیر از اهمیت بالایی برخوردار است. درنتیجه مزیت RQG پیشنهادی این تحقیقات نسبت به بهترین طراحی قبلی عبارت است از:

۱- تعداد سلول مصرفی کمتر ۲- مساحت مصرفی کمتر

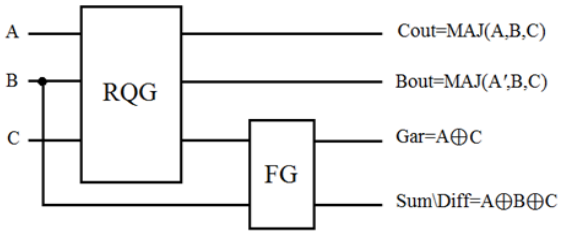
شکل (۱۵) پیاده‌سازی گیت بازگشتی RQG پیشنهادی این تحقیقات و شکل (۱۸) نیز خروجی شبیه‌ساز آن را نشان می‌دهند. همان‌گونه که در شکل (۱۵) مشاهده می‌شود طراحی بهینه‌یافته پیشنهادی به دلیل بهبود پیاده‌سازی سلولی می‌باشد که درنهایت منجر به بهبود پارامترهای تعداد سلول و مساحت مصرفی مدار نسبت به نمونه‌های قبلی شده است.



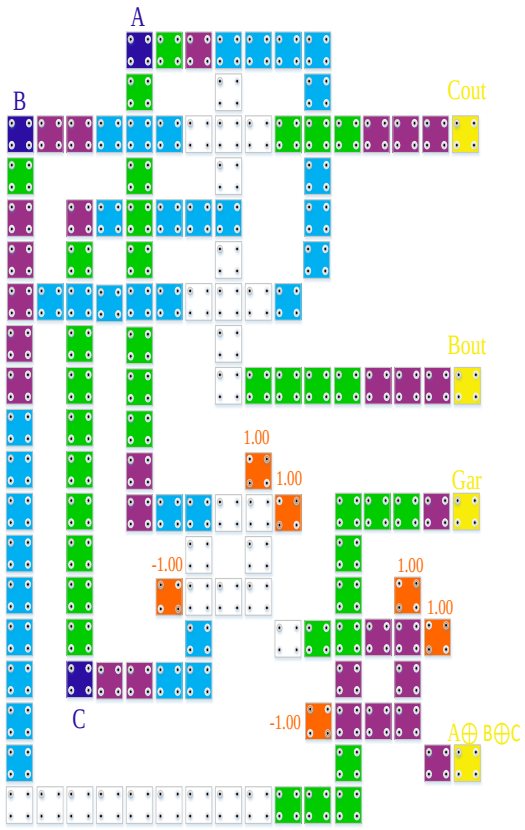
شکل (۱۵) : گیت برگشت‌پذیر RQG پیشنهادی

۳-۲ مدار تمام جمع کننده/تمام تفریق کننده پیشنهادی:

مدار تمام جمع کننده/تمام تفریق کننده به‌عنوان یک مدار مرکب محاسبه‌گر هر دو عمل جمع و تفریق از اهمیت فوق‌العاده ویژه‌ای برخوردار است و طراحی بهینه برگشت‌پذیر این مدار بسیار مدنظر محققان و پژوهشگران قرار دارد. بلوک دیاگرام مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (**FA\S**) پیشنهادی این تحقیقات در شکل (۱۶) آورده شده است. همان‌گونه که مشاهده می‌شود، طرح پیشنهادی با استفاده از یک گیت برگشت‌پذیر **RQG** و یک گیت برگشت‌پذیر فاینمن طراحی‌شده است. برای پیاده‌سازی بهینه و بهبود پارمترهای مدار از کمترین مساحت مصرفی و تعداد سلول استفاده‌شده است که درنتیجه موجب کاهش تأخیر مدار شده است. از سوی دیگر طرح پیشنهادی، به صورت تک لایه بوده و در طرحی از هیچ سلول ٤٥ درجه استفاده‌نشده است. همچنین طراحی بهینه گیت RQG پیشنهادی بخش قبل این تحقیقات (شکل(۱۵)) و استفاده آن در پیاده‌سازی مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده پیشنهادی نقش بسزایی در بهبود پارمترهای مداری آن داشته است که درنهایت موجب طراحی بهینه و پیاده‌سازی سلولی این مدار پیشنهادی شده است. درنتیجه طراحی پیشنهادی نه‌تنها ازنظر تعداد سلول، سطح مدار مصرفی و تأخیر نسبت به بهترین نمونه‌های قبلی بهتر است بلکه فقط در تک لایه پیاده‌سازی شده است. شکل (۱۷) پیاده‌سازی طراحی مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (FA\S) پیشنهادی و شکل (۱۹) خروجی شبیه‌ساز آن را نشان می‌دهند.



شکل (۱٦) بلوک دیاگرام مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده پیشنهادی



شکل (۱۷) مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده پیشنهادی

٤-نتایج شبیه‌سازی:

شبیه‌سازی‌های انجام‌شده توسط نرم‌افزار QCA Designer صورت گرفته است و نتایج حاصل از شبیه‌سازی در جداول (۲) و (۳) آمده است. همان‌گونه که مشاهده می‌شود، مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (FA\S) پیشنهادی این تحقیقات با بهترین نمونه‌های قبلی مقایسه شده است. جدول (۱) جدول مقایسه گیت برگشت‌پذیر RQG پیشنهادی با بهترین طراحی قبلی و جدول (۲) نیز، جدول مقایسه مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (FA\S) پیشنهادی با نمونه‌های قبلی است. از سوی دیگر ازجمله پارامترهای ارزیابی جدید و مهم برای مدارات QCA تابع هزینه (Cost Function) می‌باشد که در مقاله [۲۵] پیشنهادشده است. تابع هزینه پارامتری است مرکب، متشکل از معیارهای معین M، I، C و T که سهم خاصی در تعریف تابع هزینه‌دارند. رابطه‌ی (٤) این پارامتر مهم را توصیف می‌کند. در این رابطه، M تعداد گیت اکثریت، I تعداد گیت معکوس کننده (گیت Not) و C تعداد تقاطع‌های عبوری را نشان می‌دهند. پارامتر T نیز نشان‌دهنده‌ی میزان تأخیر خروجی نسبت به ورودی می‌باشد. ضرایب K،L وP بر اساس اهمیت توان مصرفی، مساحت مصرفی، پیچیدگی و تأخیر تعیین می‌شوند. در جدول (۳) ما برای محاسبه تابع هزینه مقادیر K،L وP را برابر یک در نظر گرفته‌ایم؛ که نتایج حاصل نشان‌دهنده برتری تابع هزینه طرح پیشنهادی نسبت به طراحی‌های قبلی می‌باشد.

رابطه (٤):

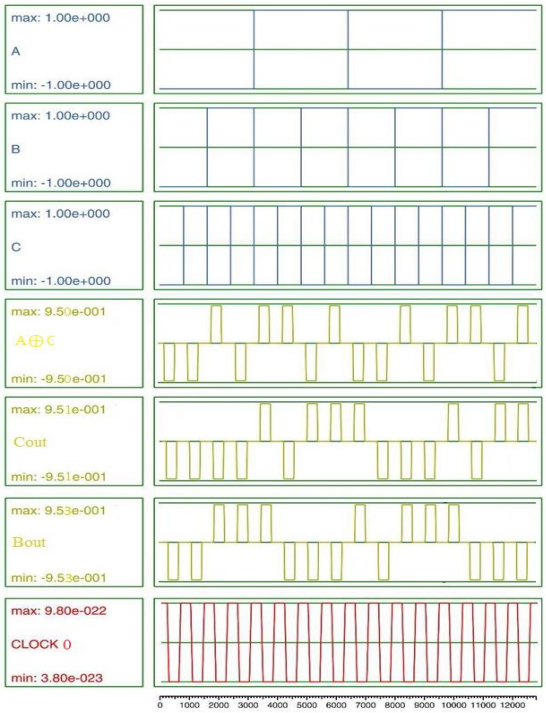
$$\text{Cost Function} = (M^K + I + C^L) \times T^P$$

جدول (۲) : مقایسه گیت RQG پیشنهادی با بهترین طراحی قبلی

مدار	مساحت مصرفی (um^2)	تعداد سلول	تأخیر (کلاک)
RQG [۲۲]	۰.۲۱	۱۲۸	۱.۲۵ (۵ فاز کلاک)
RQG پیشنهادی	۰.۱۱	۹۲	۱.۲۵ (۵ فاز کلاک)

همان‌گونه که در جدول (۲) نشان داده‌شده است، مدار برگشت‌پذیر RQG پیشنهادی نسبت به مقاله [۲۲] ازنظر مساحت و تعداد سلول مصرفی برتری قابل‌ملاحظه‌ای دارد؛ که دلیل این امر نیز پیاده‌سازی سلولی بهینه‌یافته طرح پیشنهادی می‌باشد. خروجی شبیه‌سازی صورت گرفته مدار برگشت‌پذیر RQG پیشنهادی نیز در شکل (۱۸) به تصویر کشیده شده است. همان‌گونه که مشاهده می‌شود، تأخیر این مدار برابر ۱.۲۵ (۵ فاز کلاک)

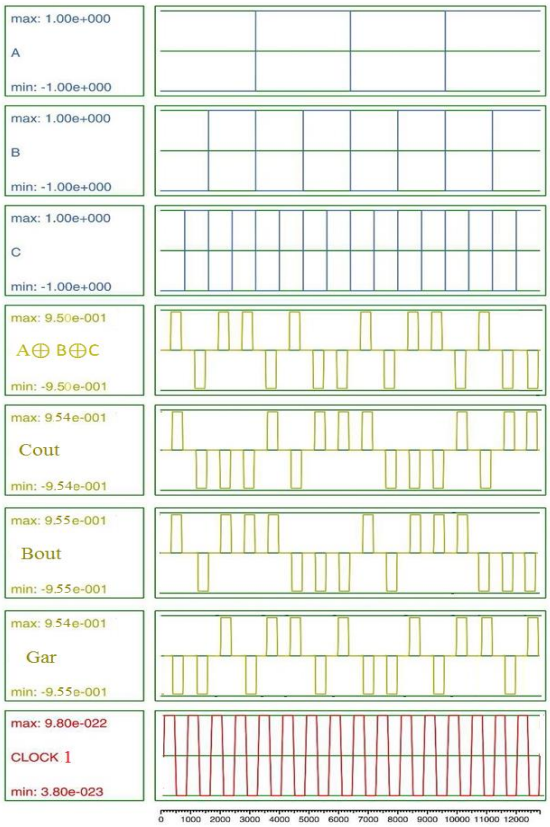
می‌باشد.



شکل (۱۸) : خروجی شبیه‌ساز گیت برگشت‌پذیر RQG پیشنهادی

در جدول (۳) نیز مقایسه مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده(FA\S) پیشنهادی با طراحی‌های قبلی به تصویر کشیده شده است. همان‌گونه که مشاهده می‌شود، مدار تمام جمع کننده/تمام تفریق کننده پیشنهادی این تحقیقات نسبت به‌تمامی طراحی‌های قبلی ازلحاظ مساحت، تعداد سلول‌های مصرفی و تأخیر به دلیل طراحی بهینه و پیاده‌سازی سلولی نسبت به بقیه برتری قابل‌ملاحظه‌ای دارد. همچنین در خصوص پارمتر تابع هزینه نیز طرح پیشنهادی به دلیل از تعداد گیت اکثریت، تعداد گیت معکوس کننده کمتر، تقاطع عبوری کمتر و همچنین تأخیر کمتر نسبت به طراحی‌های مقایسه شده از مزیت بهتری برخوردار می‌باشد. خروجی شبیه‌سازی طراحی و پیاده‌سازی مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده پیشنهادی نیز در شکل (۱۹) به تصویر کشیده شده است. همان‌گونه که مشاهده می‌شود، تأخیر این مدار برابر ۱.۵ (۶ فاز کلاک)

می‌باشد.



شکل (۱۹) خروجی شبیه‌ساز مدار برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده (FA\S) پیشنهادی

جدول (۳) : مقایسه مدار تمام جمع کننده/تمام تفریق کننده(FA\S) پیشنهادی با طراحی‌های قبلی

مدار	مساحت مصرفی (um^2)	تعداد سلول	تأخیر (کلاک)	نوع تقاطع عبوری	تعداد سلول های چرخشی	خروجی های زباله ای	تابع هزینه (K,P,L=1)
FA/S [۲۳]	۰.۵۰	۳۹۹	۲	همسطح(براساس سلول ٤٥)	۱۰۸	۲	۸٦
FA/S [۲۰]	۰.۲۸	۲۲۸	۱.۷۵	همسطح(براساس کلاکینگ)	۰	۱	۳۱.۵
FA/S پیشنهادی	۰.۱۵	۱٤۰	۱.۵	همسطح(براساس کلاکینگ)	۰	۱	۲۱

همان‌گونه که در جدول (۳) مشاهده می‌شود، مساحت مصرفی طراحی پیشنهادی نسبت به مدارات برگشت‌پذیر تمام جمع کننده/تمام تفریق کننده [۲۳] و [۲۲] به ترتیب حدود ۷۰٪ و ٤٦/٤۲٪ بهبودیافته است. در مورد مقایسه تأخیر طرح پیشنهادی این تحقیقات نسبت به طراحی‌های قبلی نیز با توجه به عدم استفاده از سلول‌های ٤٥ درجه در طراحی و همچنین طراحی هم‌سطح، نشان‌دهنده

برتری قابل‌توجه مدار پیشنهادی است؛ که تأخیر طرح پیشنهادی نسبت به [۲۳] و [۲۲] به ترتیب حدود ۱٤/۲۹٪ و ۳۰٪ بهبودیافته است. همچنین در خصوص مقایسه تعداد سلول مدار تمام جمع کننده/تمام تفریق کننده پیشنهادی نسبت به طراحی‌های قبلی نیز، طرح پیشنهادی از تعداد سلول کمتری نسبت به [۲۳] و [۲۲] برخوردار می‌باشد؛ که این پارامتر به ترتیب حدود ٦٤/۹۱٪ و ۳۸/٦۰٪ بهبودیافته است. در مورد پارامتر تابع هزینه نیز، طرح پیشنهادی به دلیل استفاده از تعداد گیت اکثریت کمتر، تعداد گیت معکوس کننده کمتر، تعداد تقاطع عبوری کمتر و همچنین تأخیر کمتر نسبت به بقیه طراحی‌ها از برتری قابل‌ملاحظه‌ای برخوردار است؛ این برتری به ترتیب نسبت به [۲۳] و [۲۲] حدود ۷۵/۵۸٪ و ۳۳/۳۳٪ می‌باشد. از سوی دیگر خروجی زباله‌ای یکی از پارامترهای مهم در طراحی گیت‌های برگشت‌پذیر بشمار می‌آید. درواقع به هر خروجی گیت برگشت‌پذیر که به‌صورت خروجی اصلی یا ورودی طبقه دیگر استفاده نشود، خروجی زباله‌ای گفته می‌شود. همان‌گونه که مشاهده می‌شود در طرح پیشنهادی خروجی زباله‌ای به حداقل رسیده است که این امر موجب برتری طراحی می‌باشد. در مورد تعداد سلول‌های ٤۵درجه مصرفی (سلول‌های چرخشی) استفاده‌شده در طراحی نیز نسبت به طرح‌های قبلی، همان‌گونه که مشاهده می‌شود در طرح پیشنهادی هیچ‌گونه سلول ٤۵درجه‌ای استفاده‌نشده است؛ زیرا وجود سلول‌های ٤۵ درجه در طراحی‌های مدارات QCA موجب کاهش استحکام و پایداری آن‌ها می‌شود. درنتیجه عدم استفاده از این نوع سلول‌ها موجب برتری استحکام و پایداری ساخت مدار پیشنهادی نسبت به طراحی‌های قبلی است.

۵-نتیجه‌گیری:

در بسیاری از طراحی‌های FA\S در فنّاوری QCA، از روش طراحی لایه‌ای برای طراحی تقاطع‌ها استفاده‌شده است؛ درحالی‌که تعدادی از طراحی‌ها نیز وجود دارند که در طراحی از سلول‌های °٤۵ استفاده‌شده است. به‌طورقطع طراحی تقاطع هم‌سطح با فازهای کلاک غیر مجاور مطلوب‌تر و از هزینه پیاده‌سازی کمتری برخوردار می‌باشد. به همین دلیل ما در طراحی‌های خود از تقاطع هم‌سطح با استفاده از فازهای کلاک غیر مجاور بهره گرفته‌ایم و این در حالی است که طراحی‌های پیشنهادی این تحقیقات ازنظر تعداد سلول مصرفی، سطح مدار مصرفی، تأخیر، تعداد گیت‌های به‌کاربرده شده و Cost Function برتری قابل‌ملاحظه‌ای نسبت به بهترین طراحی‌های قبلی دارد. از سوی دیگر امروزه به دلیل اهمیت مدارات برگشت‌پذیر در صنعت الکترونیک، کاهش ابعاد و افزایش سرعت عملکرد مدارات از اهمیت ویژه‌ای برخوردار است. لذا طراحی مدارات برگشت‌پذیر با مساحت کمتر، تعداد سلول و تأخیر کمتر در فنّاوری اتوماتای سلولی کوانتومی از اهمیت ویژه‌ای برخوردار است.

مراجع

[1] *C.-H. Chang, A. S. Molahosseini, A. A. E. Zarandi, and T. F. Tay, "Residue number systems: A new paradigm to datapath optimization for low-power and high-performance digital signal processing applications," IEEE circuits and systems magazine, vol. 15, pp. 26-44, 2015.*

[2] J.A. Fortes." Future challenges in VLSI system design. in VLSI " , 2003. Proceedings. IEEE Computer Society Annual Symposium on. 2003. IEEE.

[3] S.E. Frost, A.F. Rodrigues, et al. "Memory in motion: A study of storage structures in QCA" . in First Workshop on Non-Silicon Computing. 2002.
[4] M. Vahabi and A. Sabbagh Molahosseini, "A New Coplanar Full Adder/Subtractor in Quantum-Dot Cellular Automata Technology," in Majlesi Journal of Telecommunication Devices, Vol. 7, No. 2, June 2018,pp 53-63.
[5] P. D. Tougaw and C. S. Lent, "Logical devices implemented using quantum cellular automata" , Journal of Applied physics, vol. 75, no. 3, pp. 1818–1825, 1994.
[6] H. Cho and E.E. Swartzlander, "Adder designs and analyses for quantum-dot cellular automata" . IEEE Transactions on Nanotechnology, 2007. 6(3): p. 374-383.
[7] J. Huang, M. Momenzadeh, et al. "Design and characterization of an and-or-inverter (AOI) gate for QCA implementation". in Proceedings of the 14th ACM Great Lakes symposium on VLSI. 2004. ACM.
[8] S.-H. Shin, J.-C. Jeon, and K.-Y. Yoo, "Wire-crossing technique on quantum-dot cellular automata", in NGCIT2013, the 2nd International Conference on Next Generation Computer and Information Technology, vol. 27, 2013, pp. 52–57.
[9] C.H. Bennett, "Logical reversibility of computation". IBM journal of Research and Development, 1973. 17(6): p. 525-532.
[10] W. Wang, K. Walus, et al. "Quantum-dot cellular automata adders. in Nanotechnology", 2003. IEEE-NANO 2003. 2003 Third IEEE Conference on. 2003. IEEE.
[11] D. Abedi, G. Jaberipur, et al., "Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover". IEEE Transactions on Nanotechnology, 2015. 14(3): p. 497-504.
[12] R. Devadoss, K. Paul, et al., "Coplanar QCA crossovers" . Electronics letters, 2009. 45(24): p. 1234-1235.
[13] M. Kianpour and R. Sabbaghi-Nadooshan, "Optimized Design of Multiplexor by Quantum-dot CellularAutomata" . International Journal of Nanoscience and Nanotechnology, 2013. 9(1): p. 15-24.
[14] M.R. Beigh, M. Mustafa, et al., "Performance evaluation of efficient XOR structures in quantum-dot cellular automata (QCA)" . 2013.
[15] E.E. Swartzlander, H. Cho, et al. "Computer arithmetic implemented with QCA: A progress report". in Signals, Systems and Computers (ASILOMAR), 2010 Conference Record of the Forty Fourth Asilomar Conference on. 2010. IEEE.
[16] S. Modi and A.S. Tomar." Logic gate implementations for quantum dot cellular automata". in Computational Intelligence and Communication Networks (CICN), 2010 International Conference on. 2010. IEEE.
[17] P.W. Shor. Algorithms for quantum computation: Discrete logarithms and factoring. in Foundations of Computer Science, 1994 Proceedings., 35th Annual Symposium on. 1994. IEEE.
[18] D. Deutsch and R. Jozsa. Rapid solution of problems by quantum computation. in Proceedings of the Royal Society of London A: Mathematical, Physical and Engineering Sciences. 1992. The Royal Society.
[19] R. Landauer, Irreversibility and heat generation in the computing process. IBM journal of research and development, 1961. 5(3): p. 183-191.
[20] M.A. Nielsen and I.L. Chuang, Programmable quantum gate arrays. Physical Review Letters, 1997. 79(2): p. 321.
[21] C.H. Bennett, Logical reversibility of computation. IBM journal of Research and Development, 1973. 17(6): p. 525-532.
[22] E. Taherkhani, M.H. Moaiyeri, et al., "Design of an Ultra-Efficient Reversible Full Adder-Subtractor in Quantum-dot Cellular Automata". Optik-International Journal for Light and Electron Optics, 2017.
[23] M. Kianpour and R. Sabbaghi-Nadooshan, "Novel 8-bit reversible full adder/subtractor using a QCA reversible gate," Journal of Computational Electronics, vol. 16, pp. 459-472, 2017.
[24] A.M. Chabi, A. Roohi, et al., "Towards ultra-efficient QCA reversible circuits". Microprocessors and Microsystems, 2017. 49: p. 127-138.
[25] W. Liu, L. Lu, et al., A first step toward cost functions for quantum-dot cellular automata designs. IEEE Transactions on Nanotechnology, 2014. 13(3): p. 476-487.