Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

تفریق‌کننده‌های تک‌بیتی تقریبی مبتنی بر تکنیک GDI با راندمان انرژی بالا و مساحت پایین برای پیاده‌سازی تقسیم‌کننده‌ها

فاطمه پولادی[۱]، فرشاد پسران[۲*]، نبی اله شیری[۳]

۱-گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران
fatemehpoladi353@gmail.com
۲-گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران
farshad.pesaran@iau.ac.ir
۳-گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران
na.shiri@iau.ac.ir

چکیده: در مدارهای دیجیتال با ترانزیستورهای زیاد، انرژی مصرفی بالا همچنان چالش اساسی می‌باشد. تکنیک‌های نوظهور مانند محاسبات تقریبی تا حدودی به حل این چالش کمک کرده‌اند. بر این اساس، سه تفریق‌کننده جدید تک‌بیتی بر مبنای محاسبات تقریبی و تکنیک دروازه ورودی انتشار معرفی می‌شوند. مدارهای پیشنهادی ۱ تا ۳ ضمن جدول درستی متفاوت با دیگر مدارها، به‌ترتیب ۱۰، ۸، و ۶ ترانزیستور دارند که باعث کاهش قابل توجه توان‌مصرفی می‌شود. نتایج شبیه‌سازی براساس تکنولوژی ترانزیستور اثر میدانی نانولوله کربنی (CNTFET) با طول کانال ۳۲ نانومتری، برتری این مدارها را تایید می‌کند. مدار پیشنهادی ۳ بدون استفاده از اینورتر، دارای بهترین عملکرد از نظر مداری می‌باشد. هر چند به‌دلیل وجود ۴ خطا در این مدار، نرخ خطای آن در مقایسه با دیگر مدارها بیشتر می‌باشد. بررسی اثرات تغییرات در منبع ولتاژ، fan-out و تغییرات فرایند-ولتاژ-دما گویای برتری مدار پیشنهادی ۳ از نظر انرژی تلفاتی می‌باشد. هم‌چنین، با تعبیه مدارهای پیشنهادی در ساختار تقسیم‌کننده ۸ بیتی، برتری مدار پیشنهادی ۳ از نظر معیارهای شایستگی مختلف به مقدار حداقل ۵۰٪ قابل مشاهده است.

واژه های کلیدی: تفریق‌کننده، تقسیم‌کننده، محاسبات تقریبی، نانولوله‌کربنی

Highly Energy-Efficient and Small-Area Single-Bit Approximate GDI-Based Subtractor for Dividers' Implementation

Fatemeh Pooladi[1], Farshad Pesaran[2*], Nabiollah Shiri [3]

fatemehpoladi353@gmail.com
[1]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
farshad.pesaran@iau.ac.ir
[2] Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
na.shiri@iau.ac.ir
[3] Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran

Abstract:

In digital circuits that have a high number of transistors, energy dissipation is still a challenge. New techniques like approximate computing are somehow helpful for challenge solving. Therefore, three new single-bit subtractors are presented based on the approximate computing and gate diffusion input (GDI) technique. Compared to the literature, proposed circuits 1-3 with different truth tables have 10, 8, and 6 transistors, respectively, which causes a significant reduction in power consumption. The simulation results based on the carbon nanotube field effect transistor (CNTFET) technology with a channel length of 32 nm confirmed the superiority of the circuits. The proposed circuit 3 with no inverter has the best circuitry performance. However, due to the presence of 4 errors in this circuit, its error rate is higher compared to other circuits. Examining the effects of changes in the voltage source, the fan-outs, and the process-voltage-temperature (PVT) variations showed a superior energy performance of the proposed circuit 3. Also, by embedding the proposed circuits in the 8-bit divider structure, the superiority of the proposed circuit 3 in terms of various figures of merits was observable by at least 50%.

Keywords: Subtractor, divider, approximate calculations, carbon nanotube.

نوع مقاله: پژوهشی

DOI:

تاریخ ارسال مقاله: ۱۴۰۲/۰۷/۱۳ تاریخ پذیرش مقاله: ۱۴۰۲/۰۹/۴ تاریخ چاپ مقاله ۱۴۰۲/۰۹/۲۵

۱- مقدمه

در طول دهه‌های گذشته، مدارهای دیجیتال شاهد پیشرفت‌های قابل توجهی بوده‌اند که چشم‌انداز الکترونیک و محاسبات را تغییر داده‌اند. یکی از مهم‌ترین گام‌ها در کوچک‌سازی ترانزیستورها[1] کاهش طول کانال[2] بوده است. قانون مور[3] که پیش‌بینی می‌کرد تعداد ترانزیستورهای روی یک ریزتراشه تقریباً هر دو سال دوبرابر می‌شود، البته با برخی چالش‌ها هم‌چنان صادق است. با کاهش طول کانال، ترانزیستورها کوچک‌ترشده و انرژی‌کارآمدتر شده‌است که به بهبود مصرف انرژی در دستگاه‌های الکترونیکی کمک می‌کند [۱]. این کاهش اندازه ترانزیستور راه را برای مدارهای دیجیتال کارآمدتر هموار کرده است. ترانزیستورهای کوچک‌تر به‌معنای انرژی کمتر برای روشن و خاموش‌کردن آنها است که منجر به کاهش مصرف انرژی در مدارهای مجتمع می‌شود. این امر به ویژه در دنیایی که به‌طور فزاینده‌ای به‌هم متصل می‌شوند، که در آن دستگاه‌های قابل‌حمل به عمر باتری طولانی‌تری و مراکز داده به سرورهای با انرژی کارآمدتری برای مدیریت حجم روبه‌رشد داده‌ها نیاز دارند، بسیارمهم است. پیگیری بی‌وقفه کوچک‌سازی به مدارهای دیجیتالی این امکان را داده است که به‌ستون فقرات فناوری مدرن تبدیل شوند و همه‌چیز از تلفن‌های هوشمند گرفته تا ابررایانه‌ها را تامین کنند و در عین حال بهره‌وری انرژی را حفظ یا حتی بهبود بخشند [۴-۲]. فراتر از قانون مور و مقیاس‌بندی ترانزیستور، فناوری‌های جدیدی برای افزایش کارایی مدارهای دیجیتال در مقایسه با فناوری‌های مرسوم، یعنی MOSFETs[4] پدید آمده‌اند [۵]. نوآوری‌هایی مانند CNTFET[5] و مواد پیشرفته نقشی اساسی در کاهش جریان‌های نشتی[6] و افزایش عملکرد کلی ایفا کرده‌اند [۶]. این پیشرفت‌ها نه‌تنها قدرت پردازش را بهبود بخشیده است، بلکه در کاربردهایی مانند پردازش‌تصویر و پردازش-سیگنال نیز مفید بوده است.

مدارهای محاسباتی[7]، به‌ویژه تفریق‌کننده‌ها و تقسیم‌کننده‌ها، به-دلیل توانایی آن‌ها در انجام کارآمد عملیات‌های ریاضی، نقش مهمی در زمینه‌های مختلف بازی می‌کنند. تفریق‌کننده‌ها[8] برای محاسبه تفاوت بین دو عدد ضروری هستند، درحالی که تقسیم‌کننده‌ها[9] برای انجام عملیات تقسیم استفاده می‌شوند که کاربردهای گسترده‌ای در حوزه‌های مختلف دارند. رابطه بین تفریق‌کننده‌ها و تقسیم‌کننده‌ها در توانایی ترکیبی آنها برای انجام کارهای پیچیده نهفته است، جایی که تفریق، اغلب یک مرحله اساسی در فرآیند تقسیم است. در حوزه پردازش‌تصویر، مدارهای حسابی، از جمله تفریق‌کننده‌ها و تقسیم‌کننده‌ها، ابزار ارزشمندی برای کارهایی مانند تشخیص تفاوت و بهبود تصویر هستند. تفریق‌کننده‌ها برای محاسبه تفاوت پیکسل به پیکسل بین دو تصویر یا فریم استفاده می‌شوند که امکان تشخیص تغییرات، حرکات یا ناهنجاری‌ها در نظارت تصویری، ردیابی اشیاء و تصویربرداری پزشکی را فراهم می‌کنند. مدارهای کنونی در این رابطه دارای مصرف انرژی بالایی می‌باشند، هرچند که از پیشرفت‌های گفته شده بهره می‌برند اما باز هم این چالش برای محققان وجود دارد. بنابراین، می‌توان برای غلبه بر این مشکلات به استفاده از مکانیزم‌های طراحی مختلف روی آورد که در این مورد دو راهکار اساسی می‌تواند استفاده از تکنیک طراحی ترانزیستوری مانند دروازه ورودی انتشار[10] (GDI)[۷] و روش طراحی مانند محاسبات تقریبی[11] (AC)[۸] برای دستیابی به مصالحه‌های[12] مطلوب باشند.

محاسبات‌تقریبی به‌یک روش محاسباتی اشاره دارد که سرعت و کارایی را بر دقت در برنامه‌های خاص[13] اولویت می‌دهد. در مدارهای محاسباتی مبتنی بر محاسبات‌تقریبی، تاکید بر انجام محاسبات با درجه-ای از عدم‌دقت یا تقریب برای دستیابی به نتایج سریعتر یا کاهش مصرف انرژی است. این رویکرد به‌ویژه در روش‌هایی که دقت بالایی ضروری نیست، مرتبط است و درجاتی از خطا یا عدم دقت را می‌توان بدون عواقب قابل توجهی تحمل کرد. هدف مدارهای‌محاسباتی مبتنی‌بر محاسبات‌تقریبی ایجاد تعادل بین دقت محاسباتی و کارایی منابع است [۹]. مصالحه‌های معمول مرتبط با مدارهای‌محاسباتی مبتنی‌بر محاسبات‌تقریبی عبارت از کاهش دقت به‌ازای بهبود سرعت، و توان مصرفی[14] است. هم‌چنین، مدارهای تقریبی اغلب به‌منابع کمتری از نقطه‌نظر سخت‌افزاری نیاز دارند و می‌تواند منجر به صرفه‌جویی در هزینه در طراحی و ساخت شود. مدارهای محاسباتی مبتنی‌بر محاسبات تقریبی به‌دلایل مختلفی برای کاربردهای مقاوم دربرابر خطا مناسب می‌باشند. برخی از برنامه‌ها، مانند پردازش چندرسانه‌ای[15] و فشرده‌سازی تصویر و صدا، می‌توانند سطح مشخصی از خطا را بدون تأثیر قابل‌توجهی بر کیفیت یا سودمندی نتیجه نهایی تحمل کنند. در چنین مواردی،

[1] Scaling
[2] Channel length
[3] Moore Law
[4] metal-oxide-semiconductor field-effect transistor
[5] Carbon nanotube field-effect transistor (CNTFET)
[6] Leakage current
[7] Arithmetic circuits
[8] Subtractors
[9] Dividers
[10] Gate Diffusion Input (GDI)
[11] Approximate computing (AC)
[12] Trade-offs
[13] Specific applications
[14] Power consumption
[15] Multimedia

محاسبات تقریبی می‌تواند سرعت و کارایی را بدون به‌خطر انداختن عملکرد کلی برنامه ارائه دهد.

تکنیک GDI یک روش طراحی مدار دیجیتال تخصصی است که قابلیت‌های منحصر به‌فردی را در ساده‌سازی و بهینه‌سازی توابع منطقی ارائه می‌دهد. در GDI، یک مدار با استفاده از حداقل مجموعه‌ای از گیت‌ها ساخته می‌شود و اساساً مبتنی‌بر مفهوم انتشار سیگنال از طریق شبکه‌ای از ترانزیستورها است. قابلیت‌های اصلی GDI به شرح زیر است: GDI می‌تواند تعداد ترانزیستورها را کاهش دهد زیرا تنها به دو ترانزیستور برای گیت‌های منطقی مختلف نیاز دارد که می‌تواند منجر به بهبود بهره‌وری انرژی، سرعت بالاتر و قابلیت سفارشی‌سازی شود [۱۰]. این قابلیت‌های ذاتی تکنیک GDI، آن را به‌ویژه برای طراحی مدارهای محاسباتی مبتنی‌بر محاسبات تقریبی از چندین جهت مناسب می‌سازد، اما مهم‌تر از همه زمانی که مفاهیم محاسباتی تقریبی و فناوری نوظهوری مانند CNTFET ادغام می‌شوند این بهره‌وری افزایش چشم‌گیری خواهد داشت [۱۰].

در این مورد، سهم این مقاله، معرفی سه مدار تفریق‌کننده جدید با اتکا به تکنیک GDI است. این مدارها نه‌تنها با مصرف بسیارکم مساحت- شان معرفی می‌شوند، بلکه معادلات بولی[1] متمایز را در مقایسه با طرح‌های پیشرفته نشان می‌دهند؛ که نشان‌دهنده مشارکت منحصربه‌فرد آنها در مدارهای دیجیتال است. این مدارها که با تمرکز خاص برروی ادغام در سیستم‌های محاسباتی‌تقریبی طراحی شده‌اند، با دقت ایجاد شده‌اند تا ضمن بهینه‌سازی عملکرد، از نرخ پایین خطا اطمینان حاصل کنند. علاوه‌بر این، این طرح‌های نوآورانه با تکنولوژی CNTFET مبتنی‌بر طول کانال ۳۲ نانومتری ادغام شده‌اند و کارایی انرژی و عملکرد کلی آنها را افزایش می‌دهند. دو مورد از مدارهای پیشنهادی که به‌عنوان مدار پیشنهادی ۱ و مدار پیشنهادی ۲ نامیده می‌شوند، به‌ترتیب با ۴ و ۳ خطای ذاتی طراحی شده‌اند، در همین حال، مدار سوم، که به‌عنوان مدار پیشنهادی ۳ و ادغامی از دو مدار قبل می‌باشد چهار خطای عمدی را شامل می‌شود که عملکرد محاسباتی آن را بیشتر افزایش می‌دهد. به‌عنوان بخشی از ارزیابی دقیق، این مدارهای جدید تحت تجزیه‌وتحلیل مقایسه‌ای گسترده در برابر طرح‌های مرجع موجود [۱۳-۱۰] قرار می- گیرند که اکثرا بر اساس تکنیک CMOS طراحی و پیاده‌سازی شده‌اند و از معایبی هم‌چون سطح مصرفی بالا، توان تلفاتی زیاد و سرعت پایین رنج می‌برند، که امکان ارزیابی جامع از نظر کارایی، تحمل خطا، و تناسب کلی آنها را برای حوزه رو به رشد محاسبات تقریبی فراهم می‌کند.

بخش‌بندی این مقاله به شرح زیر تنظیم شده است. در بخش ۲، سلول‌های پیشنهادی معرفی می‌شوند. هم‌چنین در این بخش به‌معرفی ساختارهای مختلف تقسیم‌کننده مورد نظر برای تعبیه مدارهای پیشنهادی در آنها پرداخته می‌شود. بخش ۳ اطلاعات کامل را در رابطه با نتایج شبیه‌سازی ارائه می‌دهد. در نهایت، مقاله در بخش ۴ نتیجه‌گیری می‌شود.

۲- مدارهای پیشنهادی براساس GDI

سلول تفریق‌کننده یک مدار منطقی دیجیتالی است که برای انجام عملیات تفریق بین دو عدد باینری طراحی می‌شود. از نظر ورودی و خروجی، یک سلول تفریق‌کننده معمولاً دو ورودی اصلی دارد، دو ورودی X و Y به‌عنوان ورودی‌های اصلی مدار و و ورودی B_{in} به‌عنوان رقم نقلی ورودی که دو خروجی تفاوت[2] و قرض[3] که به‌ترتیب برابر با حاصل تفاضل و خروجی قرض می‌باشند. وظیفه اصلی سلول تفریق‌کننده این‌است که خروجی تفریق صحیح را ایجاد کند درحالی که به‌طور مناسب شرایط قرضی را که ممکن است در طول فرآیند تفریق ایجاد شود، مدیریت کند. تاکنون مدارهای متعددی در زمینه طراحی مدارهای تفریق‌کننده تقریبی ارائه شده‌اند که جدول (۱) روابط بولن آنها را نمایش می‌دهد.

براین اساس می‌توان مشاهده کرد که هر کدام از این مدارها دارای ویژگی‌های خاصی می‌باشند. به‌طور مثال در برخی از آنها خروجی تفاوت برابر با دیگر خروجی موجود می‌باشد. می‌توان دریافت که آزادی عمل در طراحی مدارهای تقریبی زیاد است. با این‌حال، بایستی جدول‌درستی هر کدام از این مدارها را نمایش داد تا به‌نحوه تولید خروجی در آنها دست پیدا کرد. براین اساس ابتدا مدارهای پیشنهادی معرفی می‌شوند.

در این قسمت بلاک‌دیاگرام مدارهای پیشنهادی در شکل (۱) نمایش داده شده است. مدار پیشنهادی ۱ در شکل (۱-الف) نمایش داده شده است. همان‌گونه که از ساختار گیتی آن مشخص است این مدار

جدول (۱). مقایسه تفریق کننده های تقریبی

Name	Difference (D)	Borrow (B_{out})
AXSC1 [11	$(X \oplus Y) \oplus B_{in}$	$\overline{(X \oplus Y)}.B_{in} + \bar{X}Y$
AXSC2 [11]	$X \oplus Y \oplus B_{in}$	$D \ or \ B_{out}$
AXSC3 [11]	B_{out}	$\overline{(X \oplus Y)}.B_{in} + \bar{X}Y$
AXS1 [12]	$\bar{B}_{in}(X+Y) + XY$	Y
AXS2 [12]	$B_{in}(X+\bar{Y}) + X\bar{Y}$	B_{in}
AXS3 [12]	$B_{in}(X+Y) + XY$	$\bar{X}$
Apps [13]	$X \oplus Y$	$B_{in}\overline{(X \oplus Y)} + Y(X \oplus Y)$
SAPSC1[14]	$B_{out} + X\bar{Y}\bar{B}_{in}$	$\bar{X}(Y + B_{in}) + YB_{in}$
SAPSC2[14]	B_{out}	$\bar{X}(Y + B_{in}) + YB_{in}$
SAPSC3[14]	B_{out}	$\bar{X} + YB_{in}$
SAPSC4[14]	$X + (Y \oplus B_{in})$	Y
SAPSC5[14]	$\bar{X} + YB_{in}$	Y
SAPSC6[14]	$X + Y$	Y

[1] Boolean equations
[2] Difference
[3] Borrow

دارای ۳ گیت است که گیت OR برای تولید خروجی B_{out} و دو گیت XOR برای تولید D استفاده شده است. بنابراین رابطه بولن این مدار برابر با (۱) است. در این مدار خروجی B_{out} با جمع دو ورودی Y و B_{in} بدست می‌آید که منجر به تولید ۴ خطا از هشت حالت در این خروجی می‌شود. این خطاها زمانی اتفاق می‌افتد که ورودی‌ها در حالت‌های XYB_{in}=011، XYB_{in}=100 ، XYB_{in}=101 و XYB_{in}=110 می باشند. به‌دلیل استفاده از یک ساختار مرسوم در تولید خروجی D، یعنی استفاده از دو گیت XOR به‌صورت زنجیره ای، 2 خطا در این خروجی وجود دارد. دلیل اصلی درنظرگیری خروجی D با تعدادخطای کم‌اهمیت این خروجی در تولید سیگنال‌های باارزش‌ترین بیت[1] (MSB) و کم‌ارزش ترین بیت[2] (LSB) می‌باشد. خروجی B_{out} به‌عنوان یک خروجی متصل به گیت‌های بعدی در ساختارهای زنجیره‌ای از اهمیت کمتری ازنظر دقت برخوردار است. یکی از مهم‌ترین معایب این مدار می‌تواند استفاده از گیت XOR مبتنی‌بر تکنیک GDI باشد زیرا این گیت به ۴ ترانزیستور نیاز دارد. بنابراین تعداد ترانزیستورهای این مدار برابر با ۱۰ عدد است. در مقابل شکل (۱-ب)، مدار پیشنهادی ۲ را نمایش می‌دهد که در ساختار آن از دو گیت OR در طبقه نهایی مدار برای تولید خروجی‌ها، و دو گیت F2-GDI در طبقه ابتدایی مدار استفاده شده است. گیت F2 یکی از ویژگی‌های مهم تکنیک GDI می‌باشد که به نوعی یک گیت OR محسوب می شود با این تفاوت که در این حالت یکی از ورودی‌ها به‌طور داخلی و ذاتی معکوس‌سازی می‌شود. این ویژگی نیاز به استفاده از اینورتر را از بین می‌برد (بر خلاف مدار شماره ۱ که به‌دلیل استفاده از XOR دو اینورتر در ورودی های خود نیاز داشت). بنابراین، تعداد ترانزیستور در مدار شماره ۲ کاهش می‌یابد و به عدد ۸ می‌رسد. رابطه بولن این مدار برابر با (۲) است. در این حالت در تولید خروجی D ورودی معکوس شده Y، و برای خروجی B_{out} ورودی معکوس شده X است. با این تفاسیر، این مدار دارای سه خطا در خروجی خود است. هر دو خروجی دارای خطا هستند، اما این خطاها در الگوی ورودی همانند اتفاق می‌افتد. در این مدار زمانی که XYB_{in}=000، XYB_{in}=101 و XYB_{in}=110 می‌باشند خطا حاصل می‌شود. درنهایت، با استفاده از یک ترکیب قابل‌توجه از مدار شکل (۱-الف)، و بهره‌گیری از ویژگی‌های گیت F2، مدار پیشنهادی ۳ مطابق با شکل (۱-ج) ارائه و پیشنهاد شده است. خروجی B_{out} در این مدار برابر با خروجی B_{out} مدار شماره ۱ است. درمقابل خروجی D در این مدار با تعویض دو گیت XOR سری شده در مدار ۱ با دو گیت F2 سری تولید می‌شود. این مدار دارای پیچیدگی کمتری نسبت به دو مدار قبل دارد بنابراین، از ۶ ترانزیستور در بدنه خود بدون استفاده از اینورتر بهره می‌برد. رابطه بولن این مدار برابر با (۳) است که دارای ۴ خطا در جدول درستی خود زمانی که وروردی XYB_{in}=000، XYB_{in}=011، XYB_{in}=101 و XYB_{in}=110 است.

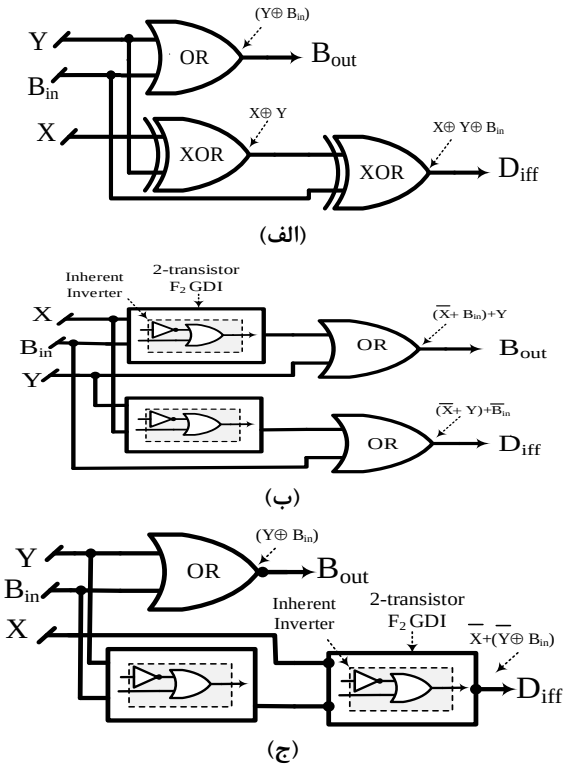
$$\text{Proposed}-1=\begin{cases}D_{iff}=X\oplus \text{Y}\oplus B_{in}\\ B_{out}=\text{Y}+B_{in}\end{cases} \quad (۱)$$

$$\text{Proposed}-2=\begin{cases}D_{iff}=(\text{X}+\overline{Y})+B_{in}\\ B_{out}=(\overline{X}+B_{in})+Y\end{cases} \quad (۲)$$

$$\text{Proposed}-3=\begin{cases}D_{iff}=(\overline{X}+B_{in})+\overline{Y}\\ B_{out}=\text{Y}+B_{in}\end{cases} \quad (۳)$$

شکل (۲) شماتیک ترانزیستوری سه مدار پیشنهادی را نشان می دهد که به‌ترتیب مربوط به مدار ۱ تا ۳ می‌باشند. باتوجه به شماتیک ترانزیستوری این سه مدار می‌توان مهمترین مزایای آنها را به‌تعداد کم ترانزیستور در آنها نسبت داد. این ویژگی منجر به کاهش تعداد گره‌های داخلی این مدارها می‌شود که به‌طور قابل‌توجهی برروی مجموع خازن های داخلی و خارجی و بار تاثیرگذار است. در مجموع این خاصیت منجر به کاهش توان مصرفی و انرژی تلفاتی در آنها می‌شود. هم‌چنین، یکی دیگر از ویژگی‌های مهم مدارهای پیشنهادی ۲ و ۳ می‌توان به عدم استفاده از اینورتر در آنها اشاره کرد. به‌همین دلیل می‌توان انتظار داشت که توان نشتی، دینامیکی و استاتیکی بسیار پایینی در این دو مدار مشاهده شود. دلیل این اتفاق می‌تواند عدم وجود مسیر مستقیم از منبع ولتاژ به زمین ذکر شود.

پس از بررسی شماتیک مدارهای پیشنهادی به مقایسه مدارها از نظر تولید خطا و جدول‌درستی با دیگر مدارها پرداخته می شود. براین اساس جدول (۲) تهیه شده است. همان‌گونه که قابل مشاهده است، اکثر مدارهای رفرنس یا به اندازه برابر یا کمتر از مدارهای پیشنهادی در ساختار خودخطا دارند بنابراین از دقت بالاتری برخوردار خواهند بود.



شکل (۱). بلاک دیاگرام گیتی مدارهای پیشنهادی

الف) مدار پیشنهادی ۱ ب) مدار پیشنهادی ۲ و ج) مدار پیشنهادی ۳

[1] Most Significant Bit (MSB)

[2] Least Significant Bit (LSB)

اما این دقت بالاتر در این مدارها، منجر به افزایش سطح مصرفی در آنها در مقایسه با مدارهای پیشنهادی می‌شود. ازاین‌رو، می‌توان گفت مدارهای پیشنهادی براساس مصالحه از دست دادن دقت به‌ازای کاهش سطح مصرفی و انرژی تلفاتی طراحی شده‌اند و می‌توان در کاربردهای مختلف از آنها استفاده کرد. به‌طورکلی، مدارهای تقریبی محاسباتی با مقدار ۵۰٪ خطا باز هم این قابلیت را دارند تا در ساختارهای مختلف مانند پردازش تصاویر دیجیتال مورد استفاده قرار گیرند. به‌منظور بررسی نرخ خطا می‌توان از روابط مرسوم معرفی شده (۴) تا (۶) استفاده کرد که به‌ترتیب برابر با نرخ خطا[1]، میانگین فاصله خطای نرمال شده[2] و میانگین فاصله خطای نسبی[3] می‌باشند [۱۶-۱۵].

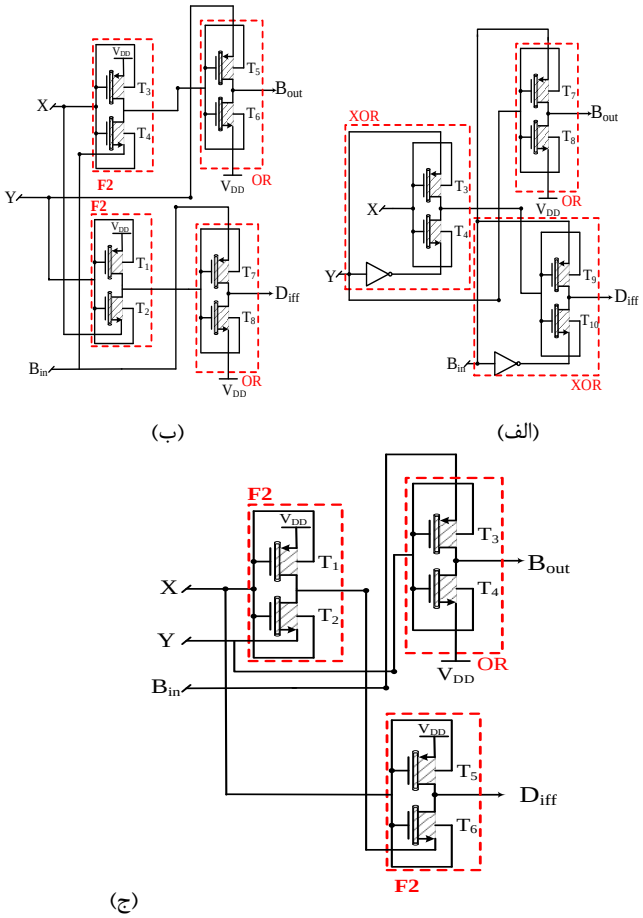
$$ER = \frac{Number\ of\ Erroneous\ Outputs}{n} \quad (۴)$$

$$NMED = \frac{\frac{1}{n}\sum_{i=1}^{n}|Exact\ Output_i - Approximate\ Output_i|}{Exact\ Output_{max}} \quad (۵)$$

$$MRED = \frac{1}{n}\frac{\sum_{i=1}^{n}|Exact\ Output_i - Approximate\ Output_i|}{Exact\ Output_i} \quad (۶)$$

که در آن n تعداد حالت‌های جدول درستی مدار است. هم‌چنین، حداکثر خروجی دقیق ، بزرگترین عدد صحیح تولید شده توسط هر مدار است. در بین این پارامترها مهم‌ترین پارامتر NMED است که می‌تواند عملکرد مدار را به خوبی نشان دهد.

در ادامه به درک عملی تفریق‌کننده‌های تقریبی در یک تقسیم-کننده بدون علامت ۸ تا ۴ می‌پردازیم. تقسیم‌کننده انتخاب‌شده برای این برنامه، یک مدار است که برای انجام تقسیم عدد صحیح بدون علامت در محدوده X [7:0]، Y [3:0] Q [۳:۰] و R [۳:۰] طراحی شده است [۶].

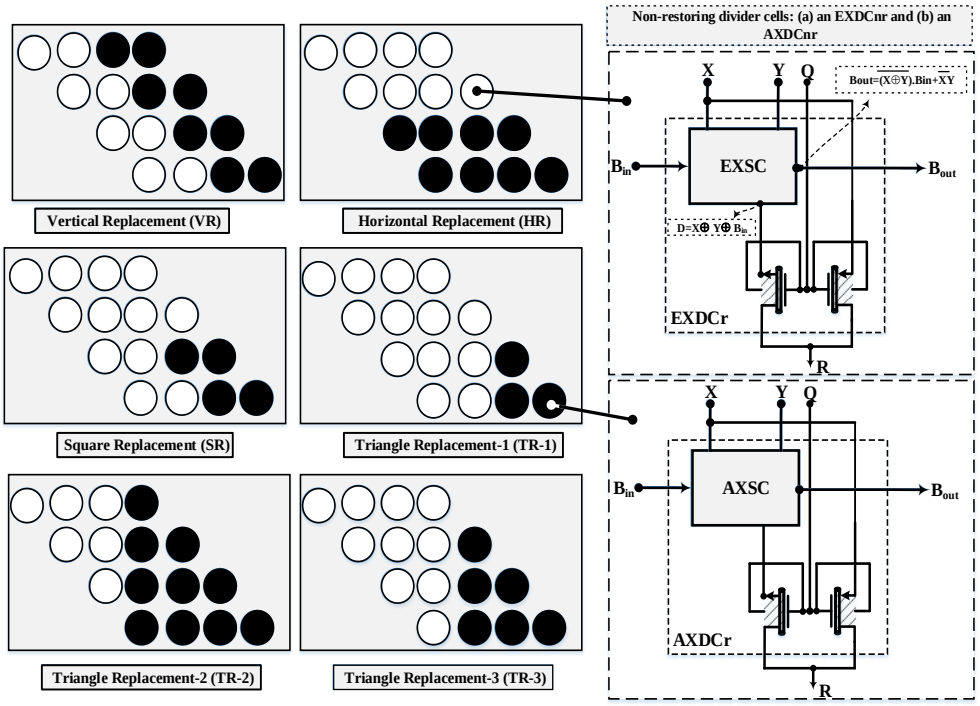


شکل (۲). شماتیک ترانزیستوری مدارهای پیشنهادی
الف) مدار پیشنهادی ۱ ب) مدار پیشنهادی ۲ ج) مدار پیشنهادی ۳

جدول (۲). جدول درستی مدارهای پیشنهادی در مقایسه با دیگر مدارها

	EXACT	AXSC1	AXSC2	AXSC3	ICS1	ICS2	ICS3	Apps	AXS1	AXS2	*AXS3*	SAPSC3	SAPSC4	Proposed 1	Proposed 2	Proposed 3
XYB$_{in}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$D$_{iff}$	B$_{out}$ D$_{iff}$	B$_{out}$ D$_{iff}$	B$_{out}$ D$_{iff}$
000	00	00	00	00	11	00	00	00	00	00	11	11	00	00	11	01
001	11	11	11	11	11	11	11	10	00	11	11	11	01	11	11	11
010	11	11	11	11	11	11	11	11	11	00	11	11	11	11	11	11
011	10	11	00	11	10	10	10	11	10	10	10	11	10	11	10	11
100	01	01	11	00	01	01	01	01	01	01	01	00	01	00	01	01
101	00	01	00	00	00	01	11	01	00	11	00	00	01	10	11	11
110	00	00	00	00	00	11	00	00	11	00	00	00	11	10	11	10
111	11	11	11	11	11	11	11	10	11	11	00	11	11	11	11	11
ER	-----	0.25	0.25	0.25	.125	.125	.125	0.5	0.25	0.25	0.25	0.375	0.375	0.375	0.375	0.5
NMED	-----	0.0833	0.0833	0.0833	0.0416	0.0416	0.0416	0.1666	0.0833	0.0833	0.0833	0.125	0.125	0.125	0.125	0.166
MRED	-----	0.1875	0.375	0.1875	0.375	0.375	0.375	0.2708	0.25	0.25	0.25	0.3125	0.3333	0.4375	0.375	0.4375

[1] Error rate (ER)
[2] Normalized Mean Error Distance (NMED)
[3] Mean Relative Error Distance (MRED)



شکل (۳). ساختارهای تقسیم کننده مورد استفاده

ساختار به‌کار گرفته شده در اینجا مطابق با شکل (۳) است، که در آن از گیت‌های منطقی مختلف، از جمله سلول تقسیم‌کننده دقیق بازیابی و F2-GDI استفاده شده است. دو مورد اصلی این ساختار را از نمونه‌های قبلی متمایز می‌کند: استفاده از تکنیک ورودی انتشار دروازه و جایگزینی CMOS-NOR با گیت F2-GDI. گیت F2-GDI به دلیل ظرفیت آن در حذف تعداد قابل توجهی از اینورترها با استفاده از ویژگی‌های ذاتی اینورترهای داخلی آن قابل توجه است. علاوه‌بر این، برای پیاده‌سازی تقسیم‌کننده تقریبی، از یک روش نمودار چهارنقطه‌ای استفاده می‌کنیم، که شامل جایگزینی عمودی، جایگزینی افقی، جایگزینی مربع و جایگزینی های مثلث است. به‌جای نقاط سیاه معمولی، از سلول‌های AXDCR متشکل از تفریق‌کننده‌های تقریبی استفاده می‌کنیم. این انتخاب باهدف بهینه‌سازی عملکرد مدارهای پیشنهادی انجام شده است.

۳- شرایط و نتایج شبیه‌سازی

به‌منظور انجام شبیه‌سازی‌ها، در این مقاله از تکنولوژی CNTFET با طول کانال ۳۲ نانومتری و نرم‌افزار HSPICE استفاده شده است. همچنین، مقادیر پارامترهای مداری مانند توان‌مصرفی، تاخیر و انرژی مصرفی، یعنی حاصل‌ضرب توان در تاخیر[1]، محاسبه و گزارش شده است. به‌منظور محاسبه توان مصرفی، کدهای HSPICE مورد استفاده قرار گرفته است [۱۷]، که توان مصرفی میانگین، توان پویا[2]، را در یک دوره تناوب نشان می‌دهد. هم‌چنین، به‌منظور محاسبه تاخیر تمامی حالت های ممکن مطابق با جدول‌درستی به مدارهای پیشنهادی اعمال شده است و تاخیر ورودی‌ها تا خروجی‌ها را برای تمامی مسیرها گزارش می‌کند. درنهایت بدترین مقدار تاخیر به‌عنوان تاخیر بحرانی مدار گزارش شده است. همان‌گونه که گفته شد انرژی مصرفی مدارهای پیشنهادی و دیگر مدارها براساس حاصل‌ضرب توان در تاخیر محاسبه شده است. یکی‌از مهم‌ترین پارامترهای مدارهای تقریبی سطح مصرفی آنهاست. از این‌رو یک معیار شایستگی دیگر برابر با رابطه زیر استفاده شده است.

$$PDP - Area - product = PDAP = PDP \times Number\ of\ Transistors \quad (۷)$$

شبیه‌سازی‌های گسترده‌ای در این مقاله انجام شده است تا بتوان به بررسی دقیق‌تر عملکرد مدارهای پیشنهادی و دیگر مدارها دست پیدا کرد. در این بین، تغییرات منبع تغذیه (V_{DD}) به‌دلایل مختلف در مدارهای تقریبی دیجیتال یک ملاحظه حیاتی است. از جمله تاثیرات و بررسی‌هایی که در این زمینه بایستی صورت گیرد تأثیر آن بر دقت تولید سیگنال‌های خروجی تحت مقادیر مختلف ولتاژ می‌باشد تا به برآوردی دقیق از بهره‌وری انرژی[3]، تاخیر و عملکرد[4] و استحکام و قابلیت اطمینان[5] این مدارها دست پیدا کرد. بر این اساس، مطابق با جدول (۳) و نتایج به دست آمده می‌توان مشاهده کرده که کمترین توان مصرفی به‌ازای سه مقدار ولتاژ درنظر گرفته شده متعلق به مدار پیشنهادی ۳ می‌باشد. این نتایج در حالی می‌باشد که اختلاف مدار پیشنهادی ۳ از نظر توان مصرفی با دیگر مدارها مقدار قابل‌توجهی می‌باشد. به‌طور مثال، اختلاف مدار پیشنهادی ۳ با AXSC2 از نظر توان مصرفی در 0.6V ولت برابر با 74.5% می‌باشد. هرچند که دو مدار پیشنهادی دیگر درمقایسه با مدار پیشنهادی ۳ از نظر توان در شرایط مطلوبی قرار ندارند. با این‌حال، از

[1] Power delay product (PDP)
[2] Dynamic Power
[3] Energy Efficiency
[4] Timing and Performance
[5] Robustness and Reliability

نظر PDP در ولتاژ پایین 0.6V این مدار شماره ۲ می‌باشد که بهترین مقدار را دارد. بنابراین می‌توان مدار شماره ۲ را گزینه‌ای مناسب برای کاربردهای با ولتاژ پایین مناسب درنظر گرفت. به‌ازای ولتاژ های 0.9V و 1.2V بهترین مقدار توان و متعاقبا PDP متعلق به مدار شماره ۳ می‌باشد. براساس نتایج بدست آمده می‌توان دریافت که مدار شماره ۳ دارای بهترین عملکرد نسبت به تغییرات ولتاژ را به خود اختصاص داده است و می‌تواند در کاربردهای مختلف مورد استفاده قرار گیرد.

بررسی اثر تغییرات ولتاژ به‌تنهایی نمی‌تواند گزینه‌ای جامع برای بررسی مدارها درنظر گرفته شود. ازاین‌رو، یکی دیگر از موضوعات بسیار مهم در بررسی مدارهای دیجیتال، بررسی پارامترهای فرآیند ولتاژ-دما[1] به‌طور همزمان است. بدین منظور، از روش مونت‌کارلو به‌منظور بررسی دقیق این پارامترها استفاده شده است. تعداد تکرار[2] شبیه‌سازی در این بررسی برابر با ۱۰۰ در نظر گرفته شده است. همچنین، برای پارامتر فرآیند مقادیر تعداد تیوپ با بازه 10±20، پیچ[3] (فاصله بین تیوپ ها) برابر با 16nm±12nm، درنظر گرفته شده است. برای ولتاژ و دما نیز به‌ترتیب بازه های 1.2V±0.4V، و 50°C±50° در این شبیه سازی اعمال شده است. درنهایت، مقادیر حداقل[4]، حداکثر[5] و میانگین[6] پارامترهای توان، بدترین تاخیر و PDP استخراج شده و در شکل (۴) به نمایش در آمده است. مطابق با شکل (۴-الف) مدار پیشنهادی ۳ با کمترین مقدار از نظر حداقل، حداکثر و میانگین، دارای بهترین عملکرد درمقایسه با-دیگر مدارها است. ازنظر توان مصرفی، مدار AXSC2 نزدیکترین رقیب مدار به مدار پیشنهادی ۳ است. به‌ازای مقدار حداکثر که حائز اهمیت-ترین است، مدار پیشنهادی ۳ از نظر توان مصرفی دارای 66% عملکرد بهتری دارد. درمقابل، به‌دلیل بهره‌وری که از نظر توان در مدار پیشنهادی ۳ ایجاد شده است این مدار از نظر تاخیر دارای عملکرد بدترین درمقایسه با دیگر مدارها می‌باشد. نتایج تاخیر در شکل (۴-ب) نمایش داده شده است. دراین حالت، مدار SAPSC4 دارای عملکرد مناسب‌تری درمقایسه با دیگر مدارها دارد. هرچند، باتوجه به نتایج می‌توان مشاهده کرد که دو مدار پیشنهادی ۱ و ۲ دارای رفتاری مشابه با این مدار می‌باشند. بنابراین، بهتر است تا بررسی‌های کامل‌تری ازنظر PDP و PDAP صورت گیرد.

بدین منظور شکل (۴-ج) نتایج PDP را نشان می‌دهد. یکی از مهم-ترین برداشت‌هایی که می‌توان ازاین نتایج داشت عملکرد بهتر مدار AXSC2 درمقایسه با مدار پیشنهادی ۳ است، که نشأت گرفته از عملکرد تاخیر بهتر آن مدار است. با این‌حال، تفاوت قابل توجهی بین این دو مدار وجود ندارد. هم‌چنین قابل‌ذکر است که مدارهای مبتنی بر CMOS مانند AXSC2 دارای پایداری بالاتری نسبت به PVT می-باشند. بنابراین، بررسی PDAP حائز اهمیت‌ترین نتیجه‌ای است که به-طور جدی مدنظر قرار می‌گیرد. در این‌صورت شکل (۴-د) به نمایش این پارامتر پرداخته است. می‌توان مشاهده کرد که مدار پیشنهادی ۳ به‌دلیل تعداد ترانزیستور بسیارکم مورد استفاده قرار گرفته در آن از عملکرد بهتری از نظر میانگین PDAP برخوردار می‌باشد. مدار پیشنهادی ۳ در جایگاه اول با مقدار 11.61، نسبت به مدارهای AXSC2، مدار پیشنهادی ۲ و ۳ در جایگاه های دوم تا چهارم، به‌ترتیب دارای ۱۲/۸۹٪، ۵۷/۰۹٪ و ۷۵/۴۹٪ برتری است. این نتیجه‌گیری نشان می‌دهد که مدار پیشنهادی ۳ که ادغامی از مدار پیشنهادی ۱ و ۲ بود و از عدم استفاده از اینورتر بهره‌مند است، گزینه بسیار مناسبی برای استفاده در کاربردهای پیچیده می‌باشد. منظور از کاربردهای پیچیده به‌طور خاص استفاده از این سلول های تک‌بیتی در ساختارهای چندبیتی مانند تقسیم‌کننده‌ها می‌باشد. در این‌گونه ساختارها قدرت بارگزاری[7] یک موضوع بسیار مهم است. از این‌رو، در ادامه به بررسی قدرت بارگزاری این مدارها پرداخته می‌شود که مطابق با اعمال Fan-outهای مختلف به مدار می‌باشد. با انجام این شبیه‌سازی می‌توان به عملکرد مدارها در هنگام تعبیه در ساختارهای بزرگتر دست پیدا کرد. قابل‌ذکر است که مدارهای تفریق‌کننده‌ای که در ساختارهای تقسیم‌کننده قرار می‌گیرند باتوجه به ابعاد بیت‌های ورودی تقسیم‌کننده مقدار ثابتی دارند. این بدین معنی است که مدارهایی که بدین منظور طراحی می‌شوند نیازی به قدرت بارگزاری بسیار زیاد ندارند. به‌طور معمول در این‌گونه ساختارها FO4 و FO8 مقادیر مناسبی هستند که می‌توان به‌منظور بررسی این مدارها مورد استفاده قرار داد. هم‌چنین، به‌منظور پرهیز از تکرار، تنها نتایج PDP و PDAP گزارش می‌شود که به ترتیب مطابق‌با شکل (۵-الف و ب) می‌باشد.

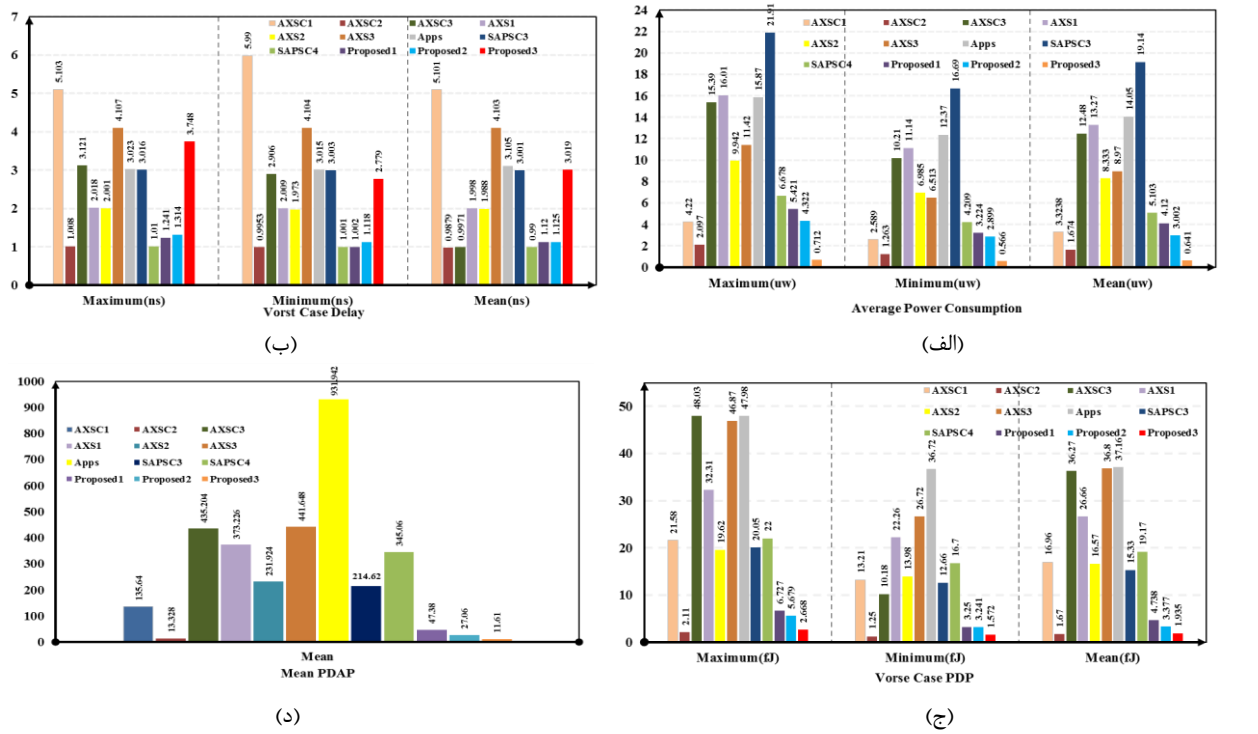
با این شبیه‌سازی می‌توان به عملکرد مدارها در هنگام تعبیه در ساختارهای بزرگتر دست پیدا کرد. قابل‌ذکر است که مدارهای تفریق کننده‌ای که در ساختارهای تقسیم‌کننده قرار می‌گیرند باتوجه به ابعاد بیت‌های ورودی تقسیم‌کننده مقدار ثابتی دارند. این بدین معنی است که مدارهایی که بدین منظور طراحی می‌شوند نیازی به قدرت بارگزاری زیاد ندارند. به‌طور معمول در این‌گونه ساختارها FO4 و FO8 مقادیر مناسبی هستند که می‌توان به‌منظور بررسی این مدارها مورد استفاده قرار داد. هم‌چنین، به‌منظور پرهیز از تکرار، تنها نتایج PDP و PDAP گزارش می‌شود که مطابق با شکل (۵-الف و ب) به‌ترتیب می‌باشد.

نتایج گویای برتری مدار پیشنهادی ۳ از نظر قدرت بارگزاری درمقایسه با دیگر مدارها است. از نظر PDP می‌توان مشاهده کرد که مدار ۳ تقریبا دو برابر به‌ازای FO4 و FO8 از نزدیکترین رقیب بازده بیشتری دارد. بنابراین، باتوجه به این نتایج می‌توان مدار ۲ را برای کاربردهای با قدرت بارگزاری بالا مناسب‌تر از بقیه مدارها درنظر گرفت.

[1] process-voltage-temperature (PVT)
[2] Iteration
[3] Pitch = distance between tubes
[4] Minimum
[5] Maximum
[6] Mean
[7] Drivability

جدول (۳). نتایج شبیه سازی تغییرات منبع ولتاژ

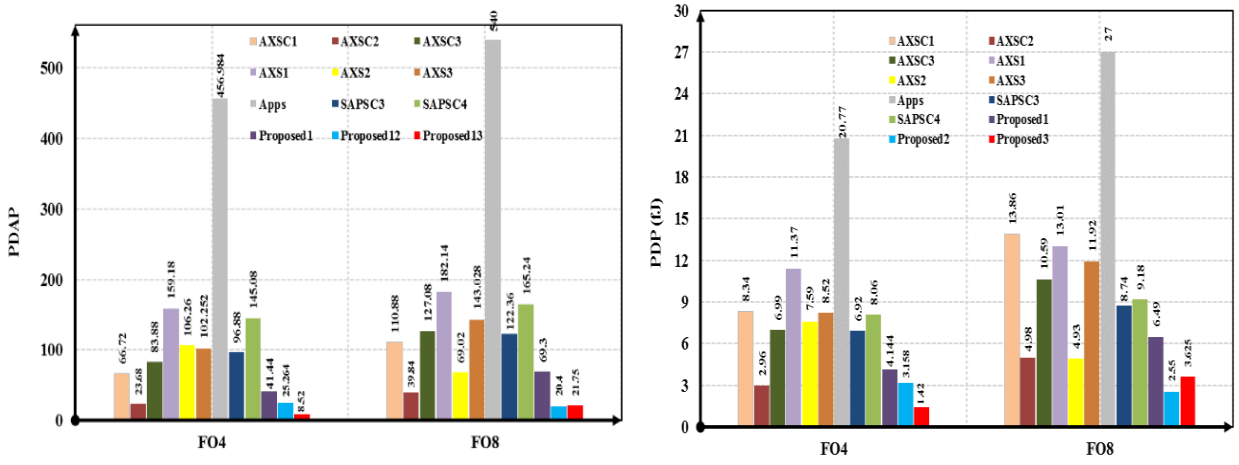
	0.6 V			0.9 V			1.2 V		
Designs	Power (µW)	Delay (ns)	PDP (fj)	Power (µW)	Delay (ns)	PDP (fj)	Power (µW)	Delay (ns)	PDP (fj)
AXSC1	0.3963	5.1034	2.0226	1.4575	5.1025	7.4369	2.7383	5.1026	14.205
AXSC2	0.2321	1.0044	2.3322	0.6827	0.9942	0.6788	1.7	0.9932	1.6886
AXSC3	0.4959	3.1314	1.553	1.4763	3.1242	4.6122	3.298	3.1041	10.237
AXS1	1.166	2.0042	2.337	4.8134	2.009	9.6701	11.209	2.0072	22.499
AXS2	1.011	1.0134	3.04	3.2617	1.0102	3.2951	7.5539	1.0128	7.6508
AXS3	0.5567	3.0072	1.6741	1.7238	3.0059	5.1814	4.2613	3.0058	12.809
Apps	1.5853	3.0189	4.7848	5.3623	3.0174	16.18	1.2793	3.0167	38.592
SAPSC3	0.5193	3.0013	1.5588	1.909	3.0077	5.7417	4.4969	3.0063	13.519
SAPSC4	2.0089	1.0057	2.0203	7.173	1.0023	7.1895	1.7235	1.003	17.286
Proposed-1	1.876	1.014	1.332	5.465	1.033	5.447	12.220	1.066	12.304
Proposed-2	0.996	1.036	1.041	3.887	1.068	3.852	9.001	1.056	9.012
Proposed-3	0.059	3.556	2.432	0.146	3.203	0.407	0.124	3.253	0.778



(ب) (الف)

(د) (ج)

شکل (۴). نتایج حاصل از مونت‌کارلو به ازای PVT برای الف) توان، ب) تاخیر، ج) PDP و د) PDAP



(ب) (الف)

شکل (۵). نتایج حاصل از بررسی fan-out به‌ازای الف) PDP و ب) PDAP

مطابق با این توضیحات، ساختارهای مختلفی مورد استفاده قرار گرفته تا بتوان به بهترین گزینه برای استفاده مدارهای پیشنهادی دست پیدا کرد. در ابتدا به‌بررسی عملکرد مدارهای پیشنهادی در هر ساختار پرداخته می‌شود و مناسب‌ترین ساختار برای این مدارها معرفی می‌شود.

جداول (۴-۵) نتایج بدست آمده از شبیه‌سازی را نشان می‌دهد. مقادیر این جدول درمقایسه با حالت تقسیم‌کننده تمام‌دقیق (استفاده از تفریق‌کننده‌های دقیق به ازای تمام سلول های این ساختار) می‌باشد. مقایسه تک به تک پارامترهای بدست آمده امری طاقت‌فرسا می‌باشد. بنابراین، به‌ارائه یک معیار شایستگی با نام EDPPOT[1]، مطابق با رابطه زیر پرداخته می‌شود. براین اساس، حاصل‌ضرب PDP در تاخیر برابر با مقدار EDP می‌باشد، درحالی‌که به‌منظور در نظرگیری سطح مصرفی اشغالی حاصل‌ضرب تعداد تیوپ‌ها (در این مقاله ۱۰ برای هر ترانزیستور) در تعداد ترانزیستورها استفاده شده است. هرچه مقدار این معیار کمتر باشد مدار عملکرد بهتری را از خود نشان می‌دهد. به‌طور کلی این رابطه انرژی مصرفی به‌ازای هر تیوپ در ترانزیستورها را نشان می‌دهد [۱۸].

$$EDPPOT = \frac{[PDP\ (fJ) \times Delay(ns)]}{Number\ of\ tubes\ \times Number\ of\ Transistors} \quad (۸)$$

جدول (۴). بررسی مدارهای پیشنهادی در تقسیم کننده ۸ بیتی با آرایش های مختلف

VR						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	73.429(19.621%)	0.2356(46.74%)	18.713(55.14%)	184	3443.19	3.443(14.85%)
Proposed-2	**43.296(52.6%)**	0.3628(17.99%)	15.707(61.13%)	168	2638.77	3.298(18.56%)
Proposed-3	52.398(42.64%)	**0.1987(55.08%)**	**10.411(74.23%)**	152	1582.47	2.637(34.9%)
AXSC1	89.357 (2.19%)	0.3135 (29.14%)	28.0134 (30.69%)	168	4706.25	2.80 (30.69%)
AXSC2	56.165 (38.52%)	0.3165 (28.46%)	17.7765 (56.02%)	168	2986.45	1.78 (55.94%)
AXSC3	75.398 (17.47%)	0.3622 (18.13%)	27.3091 (32.43%)	200	5461.82	2.73 (32.42%)
AXS1	218.52 (failed)	0.4007 (9%)	87.5609 (failed)	216	18913.15	8.76 (failed)
AXS2	143.76 (failed)	0.4399 (1%)	63.24 (failed)	216	13659.84	6.32 (failed)
AXS3	69.514 (23.91%)	0.3597 (18.69%)	25.0041 (38.13%)	200	5000.82	2.50 (38.11%)
Apps	76.417 (16.35%)	0.4014 (9.27%)	30.6737 (24.10%)	280	8588.64	3.07 (24%)
SAPSC3	79.412 (13.07%)	0.4225 (4.49%)	33.552 (16.98%)	216	7247.23	3.36 (16.83%)
SAPSC4	89.057 (2.51%)	0.4018 (9.17%)	35.783 (11.46%)	248	8874.18	3.58 (11.38%)
HR						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	81.230(11.082%)	**0.112(74.96%)**	18.713(55.14%)	184	3443.192	3.43(15.09%)
Proposed-2	39.994(56.22%)	0.1654(62.61%)	**6.615(83.63%)**	168	1111.32	1.389(65.84%)
Proposed-3	**39.470(56.79%)**	0.1988(55.06%)	7.846(80.58%)	152	1192.59	1.987(50.81%)
AXSC1	83.618 (8.47%)	0.5975 (failed)	49.9961 (failed)	168	8399.34	5.00 (failed)
AXSC2	75.368 (17.5%)	0.3067 (30.67%)	23.1153 (42.81%)	168	3883.37	2.31 (42.82%)
AXSC3	91.954 (failed)	0.3173 (28.28%)	29.1770 (27.81%)	200	5835.40	2.92 (27.72%)
AXS1	316.93 (failed)	0.3014 (32%)	95.5227 (failed)	216	20632.90	9.55 (failed)
AXS2	200.62 (failed)	0.3169 (28%)	63.5764 (failed)	216	13732.50	6.36 (failed)
AXS3	73.130 (19.95%)	0.3741 (15.44%)	27.3579 (32.31%)	200	5471.58	2.74 (32.17%)
Apps	76.95 (15.77%)	0.4057 (8.3%)	31.2186 (22.75%)	280	8741.21	3.12 (22.77%)
SAPSC3	86.950 (4.82%)	0.3671 (17.02%)	31.919 (21.02%)	216	6894.50	3.19 (21.03%)
SAPSC4	90.214 (1.24%)	0.3471 (21.54%)	31.313 (22.52%)	248	7765.62	3.13 (22.52%)
SR						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	76.842(15.88%)	**0.1876(57.59%)**	14.41(64.34%)	192	2766.72	2.766(31.68%)
Proposed-2	58.632(35.81%)	0.258(41.68%)	15.127(62.98%)	184	2783.36	3.47(14.1%)
Proposed-3	**49.645(45.65%)**	0.267(39.64%)	**13.25(67.21%)**	176	2332	3.886(3.81%)
AXSC1	75.254 (17.62%)	0.3166 (28.44%)	23.8254 (41.05%)	184	4383.87	2.38 (41.08%)
AXSC2	69.133 (24.32%)	0.3047 (31.13%)	21.064 (47.88%)	184	3875.78	2.11 (47.77%)
AXSC3	71.992 (21.19%)	0.7618 (failed)	54.8435 (failed)	200	10968.70	5.48 (failed)
AXS1	140.14 (failed)	0.3162 (29%)	44.3122 (failed)	208	9216.94	4.43 (failed)
AXS2	105.46 (failed)	0.3717 (16%)	39.1994 (3%)	208	8153.48	3.92 (2.97%)
AXS3	61.528 (32.65%)	0.3600 (18.63%)	22.1500 (45.19%)	200	4430.00	2.22 (45.04%)
Apps	71.720 (21.49%)	0.3171 (28.32%)	22.7424 (43.73%)	240	5458.18	2.27 (43.81%)
SAPSC3	71.7254 (21.48%)	0.4721 (failed)	33.862 (16.21%)	208	7043.30	3.39 (16.08%)
SAPSC4	81.247 (11.06%)	0.4068 (8.04%)	33.051 (18.22%)	224	7403.42	3.31 (18.06%)

[1] Energy-Delay-Product-Per-Of-Tubes

جدول (۵). بررسی مدارهای پیشنهادی در تقسیم کننده ۸ بیتی با آرایش های مختلف

TR-1						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	74.096(18.89%)	0.315(28.75%)	23.34(42.53%)	190	4434.6	4.43(12.72%)
Proposed-2	**63.451(30.54%)**	**0.1564(64.64%)**	**9.923(75.44%)**	184	1825.8	2.282(43.56%)
Proposed-3	66.331(27.39%)	0.423(4.58%)	28.05(30.59%)	178	1295.5	2.159(46.78%)
AXSC1	70.371 (22.97%)	0.6332 (failed)	36.4381 (9.84%)	184	6704.61	3.64 (9.9%)
AXSC2	66.787 (26.89%)	0.3162 (28.53%)	21.118 (47.75%)	184	3885.71	2.11 (47.77%)
AXSC3	69.412 (24.02%)	0.3154 (28.71%)	21.8925 (45.83%)	196	4290.93	2.19 (45.79%)
AXS1	115.31 (failed)	0.4271 (3%)	49.2489 (failed)	202	9948.28	4.92 (failed)
AXS2	97.912 (failed)	0.5147 (failed)	50.3953 (failed)	202	10179.85	5.04 (failed)
AXS3	62.296 (31.81%)	0.3705 (16.25%)	23.0806 (42.89%)	196	4523.80	2.31 (42.82%)
Apps	93.260 (failed)	0.3075 (30.49%)	28.6774 (29.04%)	226	6481.09	2.87 (28.96%)
SAPSC3	83.260 (8.86%)	0.3618 (18.22%)	30.123 (25.47%)	202	6084.85	3.01 (25.49%)
SAPSC4	85.854 (6.02%)	0.4257 (3.77%)	36.548 (9.57%)	214	7821.27	3.65 (9.65%)
TR-2						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	45.286(50.42%)	**0.147(66.77%)**	6.657(82.87%)	180	1198.26	1.198(70.34%)
Proposed-2	32.033(64.93%)	0.202(54.33%)	**3.267(83.00%)**	160	522.72	0.69(82.92%)
Proposed-3	**10.286(88.36%)**	0.158(46.12%)	1.625(95.96%)	140	227.5	0.3791(90.61%)
AXSC1	99.214 (failed)	0.2133 (51.79%)	21.162 (47.64%)	160	3385.92	2.12 (47.52%)
AXSC2	67.231 (26.41%)	0.3653 (17.43%)	24.559 (39.23%)	160	3929.44	2.46 (39.1%)
AXSC3	91.070 (0.31%)	0.4330 (2.12%)	39.433 (2.43%)	200	7886.60	3.94 (2.47%)
AXS1	319.88 (failed)	0.1946 (56.01%)	62.249 (failed)	220	13694.78	6.22 (failed)
AXS2	200.55 (failed)	0.3402 (23.1%)	68.227 (failed)	220	15009.94	6.82 (failed)
AXS3	35.531 (61.11%)	0.2803 (36.64%)	9.959 (75.36%)	200	1991.80	1 (75.24%)
Apps	75.144 (17.74%)	0.2460 (44.39%)	18.485 (54.26%)	300	5545.50	1.85 (54.2%)
SAPSC3	81.364 (10.94%)	0.3624 (18.08%)	29.486 (27.04%)	220	6486.92	2.95 (26.98%)
SAPSC4	366.49 (failed)	0.1916 (56.69%)	70.219 (failed)	260	18256.94	7.02 (failed)
TR-3						
Designs	Power (µW)	Delay (µs)	PDP (pJ)	Area	PDAP	PDAPPOT
Proposed-1	83.606(8.48%)	0.222(49.81%)	18.56(54.07%)	190	3526.4	3.526(12.72%)
Proposed-2	**54.750(40.06%)**	**0.154(65.18%)**	**8.4315(79.13%)**	178	1500.8	1.876(53.71%)
Proposed-3	60.55(33.72%)	0.198(55.24%)	11.98(70.35%)	166	1998.68	3.144 (17.97%)
AXSC1	80.654(11.71%)	0.354(19.98%)	28.551(29.35%)	178	5082.07	4.235(failed)
AXSC2	63.274(30.73%)	0.4157(6.035%)	26.303(34.91%)	178	4681.93	3.344(17.33%)
AXSC3	82.954(2.19%)	0.254(42.58%)	21.07(47.87%)	202	4256.14	3.547(12.37%)
AXS1	181.452(failed)	0.214(51.17%)	38.83(3.94%)	214	8309.62	5.93(failed)
AXS2	126.274(failed)	0.65(failed)	82.07(failed)	214	17562.98	14.635(failed)
AXS3	62.332(31.76%)	0.742(failed)	46.25(failed)	202	9342.5	7.785(failed)
Apps	71.024(22.25%)	0.654(failed)	46.44(failed)	262	12167.2	5.530(failed)
SAPSC3	78.242(14.35%)	0.325(26.53%)	25.428(37.07%)	214	5441.59	3.886(3.96%)
SAPSC4	86.32(5.51%)	0.412(6.87%)	35.563(12.0%)	238	8463.99	4.7022(failed)
Exact with GDI F2	91.354	0.4424	40.4150	200	8083.00	4.04

*** % are the results saving compared to their exact counterparts and bold numbers mean better results. Failed results mean no better results compared to the exact result. Also blue and Red colors mean best and worst results, respectively**

جدول (۶). نتایج NMED و FoM مدارها در طول کاربرد پردازش تصویر

	TR-2	
Designs	NMED	EDPPOT/1-NMED
Proposed-1	0.4175	2.057
Proposed-2	0.4207	1.191
Proposed-3	0.4057	**0.638**
AXSC1	0.2657	2.887
AXSC2	0.2719	3.379
AXSC3	0.2559	5.295
AXS1	0.2457	8.246
AXS2	0.2687	9.326
AXS3	0.2690	1.368
Apps	0.4687	3.482

ابتدا به‌مقایسه نتایج بدست آمده توسط مدارهای پیشنهادی در مقایسه با حالت تمام دقیق پرداخته می‌شود. براین اساس، می‌توان مشاهده کرد، در ارایش VR و TR-3 مدار پیشنهادی ۲، به‌عنوان بهترین مدار از نظر توان مصرفی، در مقایسه با حالت دقیق، مقدار میانگین 46.33% عملکرد بهتر را داراست. درمقابل به‌ازای دیگر آرایش‌ها این مدار پیشنهادی ۳ است که ازنظر توان دارای بهترین عملکرد است. مقدار میانگین بهبود یافته درمقایسه با حالت دقیق در ۴ آرایش باقی‌مانده برای این مدار برابر با 53.5% است. بنابراین، می‌توان دریافت به‌منظور استفاده از مدارهای پیشنهادی برای کاربردهای مبتنی‌بر توان مصرفی مدار پیشنهادی ۳ گزینه بهتری به حساب می‌آید. هم‌چنین، همین برداشت را می‌توان از نظر PDP نیز داشت. هم‌چنین ازنظر EDPPOT، می‌توان مشاهده کرد که مدار پیشنهادی ۲ در آرایش‌های HR، SR، و TR-3 بامقادیر ۶۵/۸۴٪، ۱۴/۱٪ و ۵۳/۷۱٪ عملکرد بهتر نسبت به مدار دقیق درمقایسه با دیگر مدارها در شرایط بهتری قرار دارد. درمقابل برای آرایش‌های VR، TR-1 و TR-2 مدار پیشنهادی ۳ با مقادیر ۳۴/۹٪، ۴۶٪/۷۸ و ۹۰/۶۱٪ بهبود بیشتر درمقایسه با مدار دقیق ازنظر EDPPOT در رتبه اول قرار دارد. حال برای انتخاب بهترین مدار و بهترین ساختار برای استفاده از این مدار می‌توان به آرایش TR-2 اکتفا کرد زیرا در این حالت مدار پیشنهادی ۳ (با مقدار ۹۰/۶۱٪ بهبود) درحداکثر نقطه بهینه‌سازی درمقایسه با ساختار دقیق قرار دارد. بنابراین، پیشنهاد می‌شود به‌منظور استفاده از سلول‌های پیشنهادی در ساختارها و کاربردهای متنوع از مدار پیشنهادی ۳ به‌دلیل عملکرد بهتر در هنگام تعبیه در تقسیم‌کننده و شبیه‌سازی‌های قسمت قبل استفاده شود.

حال که عملکرد مداری تمامی ساختارها مورد بررسی قرار گرفته است، می‌توان به استخراج پارامتر NMED به‌ازای ساختار انتخاب شده، TR-2، پرداخت. براین اساس جدول (۶) تهیه شده است. مطابق‌با نتایج بدست آمده و همانگونه که قابل انتظار است مدارهای پیشنهادی به‌دلیل تعداد خطاهای بیشتری که در جدول‌درستی خود درمقایسه با دیگر مدارها دارند دارای عملکرد ضعیف‌تری از نظر NMED می‌باشند. با این-حال نمی‌توان تنها براساس نتایج بدست آمده از NMED با پارامترهای مداری بهترین مدار را انتخاب کرد. از این‌رو، مطابق با مرجع [۱۹] یک معیار شایستگی برابر با رابطه زیر مورد استفاده قرار گرفته است که هم پارامترهای مداری و هم پارامتر دقت، NMED، را در بردارد. براین اساس، هرچه مقدار این معیار کمتر باشه شایستگی مدار برای استفاده در این ساختار بیشتر است. مطابق‌با نتایج بدست‌آمده می‌توان دریافت، با وجود عملکرد ضعیف‌تر مدار پیشنهادی ۳ از نظر NMED درمقایسه با اکثر مدارها، اما ازنظر معیار شایستگی این مدار در صدر قرار دارد. پس از مدار پیشنهادی ۳، مدار پیشنهادی ۲ و سپس AXS3 قرار دارد. اختلاف مدار پیشنهادی ۳ با این دو مدار به‌ترتیب برابر با ۴۶/۴۳٪ و ۵۳٪/۳۶ می باشد. بنابراین، بهترین مدار ارائه شده به‌منظور استفاده در کاربردهای مختلف مانند پردازش‌تصویر مدار پیشنهادی ۳ است.

$$\text{Figure of Merit (FoM)}=\frac{EDPPOT}{1-NMED} \quad (۹)$$

۳- نتیجه‌گیری

باتوجه به کمبود ساختارهای قابل‌اعتماد مدارهای تفریق‌کننده تقریبی برای استفاده در مدارهای پیچیده‌تر مانند تقسیم‌کننده‌ها، در این مقاله سه مدار جدید با ساختارها و ویژگی‌های متفاوتی ارائه و پیشنهاد شده است. مدارهای پیشنهادی دارای روابط بولن و جدول‌درستی متفاوتی نسبت به کارهای پیشین در این زمینه می‌باشند. هم‌چنین، مدارهای پیشنهادی ۱ و ۲ دارای ۳ خطا و مدار پیشنهادی ۳ دارای ۴ خطا در جدول درستی خود است. دلیل افزایش خطا در مدار ۳، دستیابی به عملکرد بهتر مداری است. تکنیک مورد استفاده در طراحی این مدارها، دروازه ورودی انتشار، است که باعث شده است تا این سه مدار به‌ترتیب دارای ۱۰، ۸ و ۶ ترانزیستور باشند. شبیه‌سازی‌های گسترده صورت گرفته ازنظر بررسی اثر تغییرات ولتاژ، اعمال شبیه‌سازی مونت‌کارلو برای بررسی اثر تغییرات در فرایند ولتاژ و دما، هم‌چنین بررسی عملکرد این مدارها از نظر قدرت بارگزاری گویای برتری مدار پیشنهادی۳ از نظر پارامتر توان مصرفی و انرژی مصرفی با اختلاف قابل‌توجه درمقایسه با دیگر مدارها است. تعبیه این مدارها در ساختار تقسیم‌کننده ۸ بیتی با آرایش مختلف نیز برتری مدار پیشنهادی ۳ را از نقطه نظرات مختلف اثبات می‌کند و این سلول را به یک سلول قابل‌توجه برای استفاده در کاربردهای مختلف مناسب می‌سازد. بررسی معیارهای شایستگی مختلف متشکل از هم پارامترهای مداری و هم پارامترهای دقت و خطا نشان می‌دهد که مدار پیشنهادی ۳ دارای حداقل ۴۶/۴۳٪ و ۵۳/۳۶٪ بهبود نسبت به دو مدار پس از خود می‌باشد و همین نتیجه این مدار را به‌عنوان بهترین مدار در هنگام استفاده از در کاربردهای مبتنی‌بر تقسیم‌کننده، مانند تشخیص تفاوت در پردازش‌تصاویر دیجیتال معرفی می‌کند.

مراجع:

[1] Liu, W., Lombardi, F. and Shulte, M., 2020. A retrospective and prospective view of approximate computing [point of view. *Proceedings of the IEEE*, *108*(3), pp.394-399.

[2] Jiang, H., Santiago, F.J.H., Mo, H., Liu, L. and Han, J., 2020. Approximate arithmetic circuits: A survey, characterization, and recent applications. *Proceedings of the IEEE*, *108*(12), pp.2108-2135.

[3] Sadeghi, A., Ghasemi, R., Ghasemian, H. and Shiri, N., 2022. High Efficient GDI-CNTFET-Based Approximate Full Adder for Next Generation of Computer Architectures. *IEEE Embedded Systems Letters*, *15*(1), pp.33-36

[4] Rafiee, M., Sadeghi, Y., Shiri, N. and Sadeghi, A., 2021. An approximate CNTFET 4: 2 compressor based on gate diffusion input and dynamic threshold. *Electronics Letters*, *57*(17), pp.650-652.

[5] Gorantla, A. and Deepa, P., 2019. Design of approximate subtractors and dividers for error tolerant image processing applications. *Journal of Electronic Testing*, *35*(6), pp.901-907..

[6] Chen, L., Han, J., Liu, W. and Lombardi, F., 2015. On the design of approximate restoring dividers for error-tolerant applications. *IEEE Transactions on Computers*, *65*(8), pp.2522-2533.

[7] Bahrami, F., Shiri, N. and Pesaran, F., 2023. A New Approximate Sum of Absolute Differences Unit for Bioimages Processing. *IEEE Embedded Systems Letters*..

[8] Akbari, O., Kamal, M., Afzali-Kusha, A. and Pedram, M., 2017. Dual-quality 4: 2 compressors for utilizing in dynamic accuracy configurable multipliers. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, *25*(4), pp.1352-1361..

[9] Strollo, A.G.M., Napoli, E., De Caro, D., Petra, N. and Di Meo, G., 2020. Comparison and extension of approximate 4-2 compressors for low-power approximate multipliers. *IEEE Transactions on Circuits and Systems I: Regular Papers*, *67*(9), pp.3021-3034.

[10] Ferreira, R., Leme, M., Corrêa, M., Agostini, L., Diniz, C. and Zatt, B., 2019, November. Approximate subtractor operator for low-power video coding hardware accelerators. In *2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (pp. 426-429). IEEE..

[11] Chen, L., Han, J., Liu, W. and Lombardi, F., 2015. On the design of approximate restoring dividers for error-tolerant applications. *IEEE Transactions on Computers*, *65*(8), pp.2522-2533.

[12] Reddy, K.M., Vasantha, M.H., Kumar, Y.N. and Dwivedi, D., 2018, August. Design of approximate dividers for error tolerant applications. In *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)* (pp. 496-499). IEEE.

[13] Ferreira, R., Leme, M., Corrêa, M., Agostini, L., Diniz, C. and Zatt, B., 2019, November. Approximate subtractor operator for low-power video coding hardware accelerators. In *2019 26th IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (pp. 426-429). IEEE.

[14] Krishnan, K.V., Satish, A. and raj Krishnan, P., 2023. Design of energy efficient approximate subtractors and restoring dividers for error tolerant applications. *Microelectronics Journal*, *131*, p.105668.

[15] Mirzaei, M. and Mohammadi, S., 2021. Low-power and variation-aware approximate arithmetic units for image processing applications. *AEU-International Journal of Electronics and Communications*, *138*, p.153825.

[16] Mirzaei, M. and Mohammadi, S., 2020. Process variation-aware approximate full adders for imprecision-tolerant applications. *Computers & Electrical Engineering*, *87*, p.106761.

[17] Sadeghi, A., Shiri, N. and Rafiee, M., 2020. High-efficient, ultra-low-power and high-speed 4: 2 compressor with a new full adder cell for bioelectronics applications. *Circuits, Systems, and Signal Processing*, *39*, pp.6247-6275.

[18] Pooladi, F., Pesaran, F. and Shiri, N., 2023. Efficient GDI-based approximate subtractors for change detection in bio-image processing applications. *Microelectronics Journal*, *135*, p.105757.

[19] Sabetzadeh, F., Moaiyeri, M.H. and Ahmadinejad, M., 2019. A majority-based imprecise multiplier for ultra-efficient approximate image multiplication. *IEEE Transactions on Circuits and Systems I: Regular Papers*, *66*(11), pp.4200-4208.