مطالعه تاثیر پارامترهای ساخت بر عملکرد افزاره نانومتری DG-SOI MOSFETS در ناحیه زیر آستانه

فاطمه کهنی[۱]، حامد نعمتیان[۲]، مرتضی فتحی پور[۳]

[۱] دانشگاه آزاد اسلامی واحد تهران جنوب، باشگاه پژوهشگران جوان f.kohani@ieee.com

[۲] مجتمع برق و الکترونیک، دانشگاه صنعتی مالک اشتر h.nematian@ieee.com

[۳] آزمایشگاه مدلسازی و شبیه سازی افزاره، دانشکده برق و کامپیوتر دانشگاه تهران mfathi@ut.ac.ir

چکیده: در این مقاله، تاثیر پارامترهای ساخت، بویژه ضخامت بدنه، طول سورس/درین و ضخامت اکسید گیت، بر روی مشخصه‌های الکتریکی افزاره نانومتری ماسفت دو گیتی سیلیکان بر روی عایق (DG- SOI MOSFET)، در ناحیه زیر آستانه بررسی شده است. تحلیل-های عددی نشان می‌دهند، اگرچه با کاهش طول سورس و درین، تغییر چندانی در میزان جریان حالت روشن و نیز اثر کاهش ارتفاع سد پتانسیل توسط درین (DIBL) مشاهده نمی‌شود، اما خازن موثر گیت بطور چشمگیری کاهش می‌یابد. کاهش ضخامت بدنه منجر به کاهش سد پتانسیل و افزایش خازن موثر گیت می‌شود، در حالیکه جریان حالت روشن افزاره کاهش می‌یابد. بررسی‌های انجام شده بر روی ضخامت اکسید گیت (T_{ox}) حاکی از آن است که افزایش T_{ox} باعث کمتر شدن خازن موثر گیت می شود. از طرفی با کاهش T_{ox}، جریان افزاره کاهش می‌یابد، لیکن نسبت I_{ON}/I_{OFF} افزایش می‌یابد.

کلمات کلیدی: افزاره DG-SOI MOSFET، خازن های لبه‌ای، مشخصه الکتریکی، مقیاس نانو، ناحیه زیر آستانه.

The Impact of Structural Parameters on the Performance of Nanoscale DG-SOI MOSFETs in Sub threshold Region

Fatemeh Kohani[1]; Hamed Nematian[2]; Morteza Fathipour[3]

Abstract: This paper is intended to investigate the impact of structural parameters (in particular: body thickness (T_{Body}), Source/Drain Length (L_S /L_D) and gate oxide thickness (T_{OX})) on the electrical characteristics of nanoscale Double Gate SOI MOSFET (DG SOI MOSFET) in subthreshold regime. It will be shown that a reduction in L_s /L_d doesn't have a profound effect on both on-current and Drain Induced Barrier Lowering Effect (DIBL); however it increases the effective Gate Capacitance (C_{Geff}) significantly. A decrease in T_{body} results in an increase in C_{Geff} and a decrease in potential barrier height while I_{ON} is reduced. This investigation also proves that as T_{OX} is increased, C_{Geff} is decreased. A decline in T_{OX} reduces I_{ON} while it drastically increases I_{ON} /I_{OFF} ratio.

Keywords: *DG-SOI MOSFETs, Fringe Capacitance, Electrical Characteristics, Nanoscale Devices, Sub Threshold Region*

۱. مقدمه

به‌علت کنترل مناسب روی جریان نشتی، کاهش اثرات کانال کوتاه، هدایت انتقالی بالاتر، کمتر بودن اثر کاهش ارتفاع سد پتانسیل توسط درین (DIBL) و کنترل بیشتر روی حامل های بار در کانال، اخیرا ترانزیستورهای ماسفت دو گیتی سیلیکان بر روی عایق (DG-SOI MOSFETs) در مقیاس نانو مورد توجه قرار گرفته اند [۱]. این افزاره‌ها دارای خازن های اتصال بسیار کوچک و شیب زیر آستانه تقریبا ایده‌آل می باشند. این ویژگی آنها را برای کاربردهای توان پایین مناسب می سازد [۱].

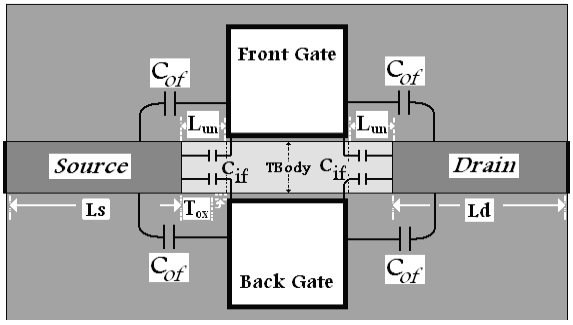
خازن موثر گیت (C_{Geff}) در کاهش مصرف توان و کاهش تاخیر بسیار موثر است. مداراتی که در ناحیه زیر آستانه کار می‌کنند، دارای C_{Geff} کوچکتری هستند [۲]. بنابراین ناحیه زیر آستانه برای کاربردهای توان پایین بسیار مناسب می‌باشد. در این ناحیه ممکن است پارامترهای ساخت بر روی خازن‌های لبه‌ای (C_{Fringe}) که نقش غالب را در C_{Geff} ایفا می‌کنند، تاثیر بگذارند.

با کاهش ابعاد افزاره (ضخامت بدنه در حدود ۱۰ نانومتر یا کمتر) باید اثرات کوانتومی نیز در نظر گرفته شوند [۳]. در شبیه‌سازی های انجام شده از نرم افزار ISE-TCAD برای حل معادله شرودینگر یک بعدی بهمراه معادله پواسن بهره برده‌ایم [۴]. در این مدل کوانتومی، معادله شرودینگر در ناحیه کانال و نواحی به ضخامت یک نانومتر در داخل اکسید گیت جلو و عقب، در جهت کوانتیزه‌ای عمود بر سطح کانال– اکسید گیت (Si/SiO_2)، حل شده است. همچنین به منظور محاسبه خازن‌های لبه‌ای از تحلیل AC با در نظر گرفتن فیزیک مشابه استفاده شده است.

ساختار مقاله در ادامه به این شرح می‌باشد: بخش دوم، به معرفی افزاره شبیه‌سازی شده اختصاص یافته است. در بخش بعدی، مشخصات الکتریکی افزاره با در نظر گرفتن تغییرات پارامترهای ساختاری از قبیل: ضخامت اکسید گیت، طول سورس/درین و ضخامت بدنه مورد بررسی قرار گرفته است. نهایتا، بخش چهارم به بیان نتایج اختصاص یافته است.

۲. ساختار افزاره

شکل ۱ شماتیک افزاره شبیه سازی شده را نشان می دهد. طول گیت بکار گرفته شده ۵۰ نانومتر می باشد. نواحی سورس و درین از نوع n^+ با تراکم ناخالصی $N_D=10^{20}\ Cm^{-3}$ می‌باشد. از سیلیسیم ذاتی برای ناحیه کانال استفاده شده است. گیت‌ها از جنس



شکل ۱. شماتیک افزاره شبیه سازی شده

می‌باشند. لازم به ذکر است که در مدل فیزیکی بکار رفته خواص تخلیه‌ای پلی‌سیلیکان در نظر گرفته نشده است.

همچنین در افزاره مورد بررسی تابع کار هر دو گیت مشابه با تابع کار ماده میان شکافی ($x_{si}+E_g/2=4.5eV$) انتخاب شده است. در کاربردهای توان پایین، ولتاژ تغذیه مدارهای مجتمع CMOS، تقریبا یک ولت می‌باشد. بنابراین ولتاژ آستانه ترانزیستورها باید متقارن و در حدود ۰/۳± ولت در نظر گرفته شوند. بررسی‌ها نشان می‌دهند، برای تنظیم ولتاژ آستانه در این محدوده، در صورت استفاده از پلی‌سیلیکان به عنوان ماده گیت، به تراکم ناخالصی بالایی در کانال نیاز خواهیم داشت. ولتاژ آستانه در تراکم‌های ناخالصی بسیار بالا، شدیدا به ضخامت بدنه حساس می‌باشد. برای رفع این مشکل از ماده میان شکافی استفاده می‌کنند [۵].

۳. بررسی تاثیر پارامترهای ساختاری بر مشخصه های الکتریکی افزاره

در ماسفت‌های دو گیتی، خازن موثر گیت توسط معادله ۱ در ناحیه زیر آستانه تقریب زده می‌شود [۶]:

$$C_{G,eff} = Serries(C_{ox}, C_{si}) \parallel C_{ov} \parallel C_{if} \parallel C_{of} \qquad (۱)$$

که در آن C_{ox} خازن اکسیدگیت، C_{si} خازن بدنه سیلیکانی، C_{ov} خازن همپوشانی گیت و نواحی سورس/درین، C_{if} و C_{of} به ترتیب خازن‌های لبه‌ای داخلی و خارجی بین گیت و نواحی سورس/درین می‌باشند.

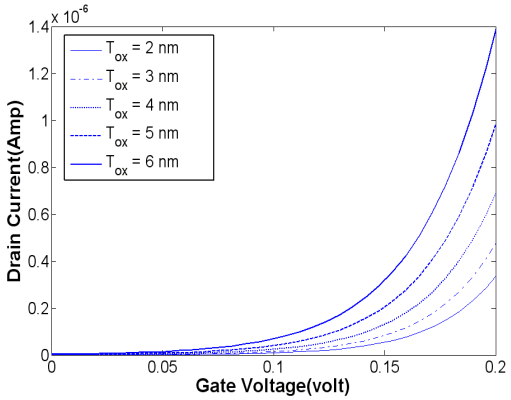
در افزاره موردنظر با توجه به عدم همپوشانی گیت و نواحی سورس/درین $C_{ov}=0$ می‌باشد. C_{ox} تابعی از طول کانال (L)، عرض کانال (W) و ضخامت اکسید گیت می‌باشد [۷]. با کاهش

ابعاد افزاره، خازن C_{ox} به طور خطی کوچک می‌شود، لیکن خازن های لبه‌ای به این نسبت کوچک نمی‌شوند، زیرا این نوع خازن‌ها با T_{ox} رابطه لگاریتمی دارند [۷]. در نتیجه C_{Geff} عمدتا ناشی از خازن‌های لبه‌ای ($C_{Fringing}=C_{if}||C_{of}$) خواهد شد، و این خازن‌ها شدیدا به ابعاد هندسی افزاره وابسته‌اند.

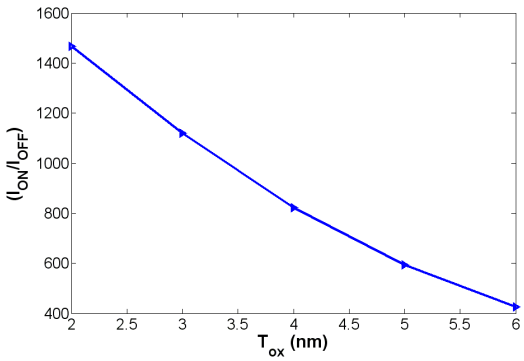
۳.۱. اثر تغییر ضخامت اکسید گیت

در این بخش، تاثیر ضخامت اکسید گیت (T_{ox}) بر روی مشخصات الکتریکی افزاره مورد بررسی قرار گرفته است. در شبیه سازی های انجام شده در این بخش، طول نواحی سورس/درین($L_S=L_D=75nm$) و نیز ضخامت بدنه ($T_{Body}=10nm$) ثابت در نظر گرفته شده‌اند.

با کاهش T_{ox}، شدت میدان عمودی و در نتیجه کنترل نسبی گیت بر کانال افزایش می‌یابد. این امر موجب افزایش ارتفاع سد پتانسیل می‌گردد. در ناحیه زیر آستانه جریان افزاره نفوذی بوده و بشدت به ارتفاع سد پتانسیل وابسته است [۲].



شکل ۲. کاهش جریان درین با کاهش T_{ox} ($T_{Body}=10nm$ ،$L_S=L_D=75nm$).



شکل ۳. افزایش نسبت I_{ON}/I_{OFF} با کاهش T_{ox}.

بنابراین با افزایش ارتفاع سد پتانسیل، جریان افزاره کاهش می‌یابد. در شکل ۲ کاهش جریان افزاره با کاهش T_{ox} نشان داده شده است. در عوض با کاهش T_{ox}، نسبت I_{ON}/I_{OFF} افزایش می یابد. این مطلب در شکل ۳ نشان داده شده است.

در شکل ۴ C_{Geff} برحسب T_{ox}، با استفاده از تحلیل AC رسم شده است. همانطور که مشاهده می‌شود با کاهش T_{ox}، C_{Geff} افزایش می‌یابد. این رفتار را می توان بصورت زیر تشریح کرد: از معادله ۱ انتظار می‌رود که خازن لبه‌ای مولفه غالب در C_{Geff} باشد. از طرفی C_{Fringe} تابعی لگاریتمی از T_{ox} می باشد [۷]:

$$C_{Fringing}=\frac{K\varepsilon_{di}W}{\pi}Ln\frac{\pi.W}{\sqrt{L_{un}^{\ 2}+T_{ox}^{\ 2}}}e^{-\left|\frac{L_{un}-T_{ox}}{L_{un}+T_{ox}}\right|} \qquad (۲)$$

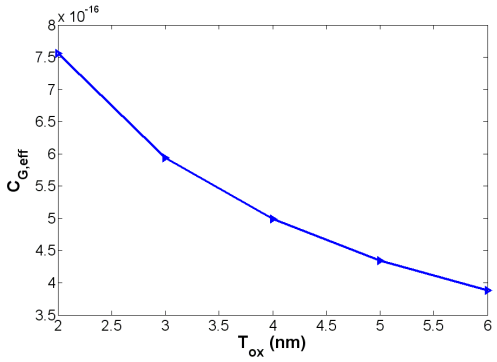
از این مطلب نتیجه می شود که C_{Geff} باید تابعی لگاریتمی از T_{ox} باشد. بنابراین کاهش T_{ox} باعث افزایش لگاریتمی C_{Geff} خواهد شد.

۳.۲. اثر تغییر ضخامت بدنه

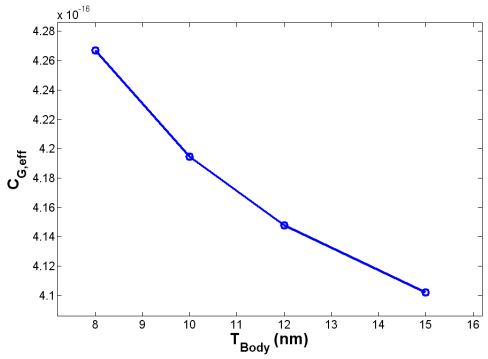
در این بخش C_{Geff} در ناحیه وارونگی ضعیف به ازای ضخامت‌های مختلف بدنه افزاره (T_{Body}) مورد بررسی قرار گرفته است. سایر پارامترها ($T_{ox}=3$ nm و $L_S=L_D=75nm$) ثابت درنظر گرفته شده اند.

چنانکه در بالا اشاره شد در ناحیه وارونگی ضعیف (ناحیه عملکرد زیرآستانه)، خازن‌های لبه‌ای اثر غالب در تعیین C_{Geff} دارند. در شکل ۵ تاثیر ضخامت بدنه بر روی C_{Geff} نشان داده شده است. مشاهده می‌شود که با کاهش ضخامت بدنه، خازن‌های لبه‌ای بزرگ و بنابراین C_{Geff} افزایش می‌یابد. با تغییر ضخامت بدنه C_{of} تغییر چندانی نمی‌کند، بنابراین تغییر خازن لبه‌ای ناشی از تغییر C_{if} می-باشد.

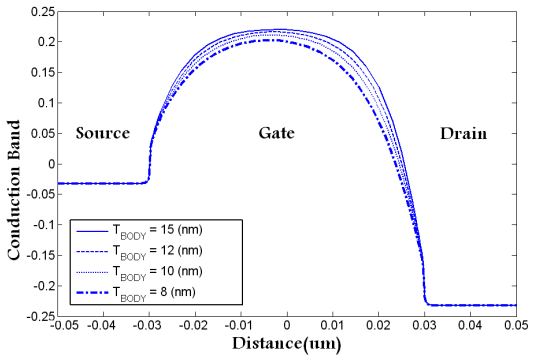
تغییر ضخامت بدنه برجریان درین نیز تاثیر می‌گذارد. برای مطالعه این پدیده در شکل ۶ تاثیر کاهش ضخامت بدنه بر ارتفاع سد پتانسیل نمایش داده شده است. انتظار می رود که با کاهش سد پتانسیل جریان افزاره افزایش یابد، حال آنکه در شکل ۷ نشان داده‌ایم که با کاهش ضخامت بدنه، I_{ON} و I_{OFF} هر دو کاهش می‌یابند. شبیه سازی‌ها نشان می دهند که اختلاف مشاهده شده به دلیـل کاهش قابلیت حرکت الکترون‌ها می‌باشد. این امر را می‌توان



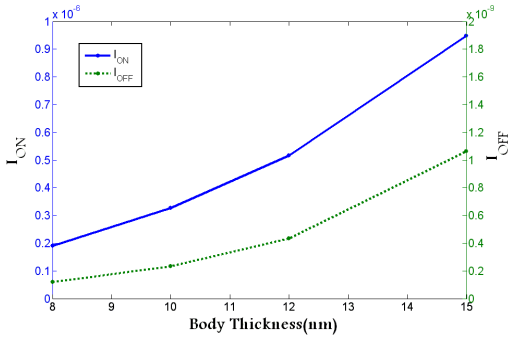
شکل ۴. افزایش C_{Geff} با کاهش T_{ox}.



شکل ۵. تاثیر ضخامت بدنه بر C_{Geff} (V_{DD}=0.2 V). T_{ox}=3 nm و L_S=L_D=75 nm درنظر گرفته شده است.



شکل ۶. تاثیر T_{Body} برارتفاع سد پتانسیل (V_G=V_{DD}=0.2 V).



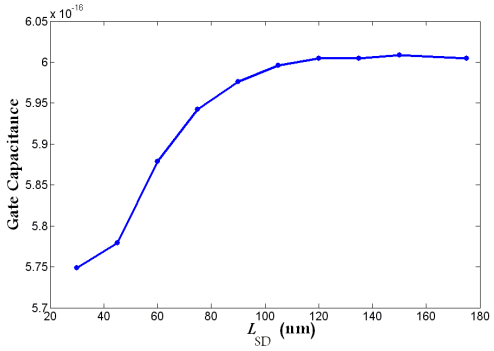
شکل ۷. تاثیر T_{Body} بر I_{ON} و I_{OFF} (V_G=V_{DD}=0.2 V)

ناشی از افزایش پراکندگی فصل مشترک به علت کاهش ضخامت بدنه دانست.

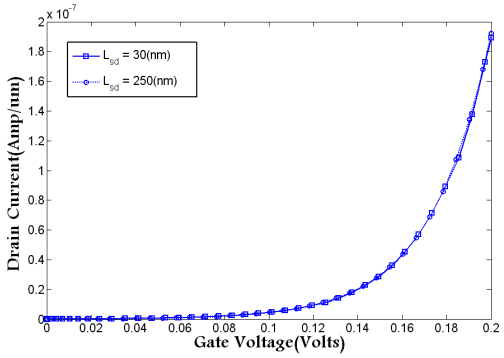
۳.۳. اثر تغییر طول سورس/ درین

شکل ۸ تغییرات C_{Geff} را برحسب طول سورس/درین (L_S/L_D) نشان می دهد. برای محاسبه این خازن از تحلیل AC و مدل کوانتومی به ترتیبی که در مقدمه ذکر شد، استفاده شده است. در این بخش، ضخامت بدنه (T_{Body}=10nm) و ضخامت اکسید گیت (T_{ox}=3 nm) ثابت در نظر گرفته شده اند. مشاهده می شود با کاهش L_S/L_D، خازن‌های لبه‌ای و بنابراین C_{Geff} کاهش می‌یابد. در بررسی تغییرات طول سورس/درین C_{of} خازن غالب در C_{Fringe} می‌باشد. برای مقادیر L_S/L_D بزرگتر از ۱۲۰ نانومتر، نمودار C_{Geff} به مقدار ثابتی می‌رسد.

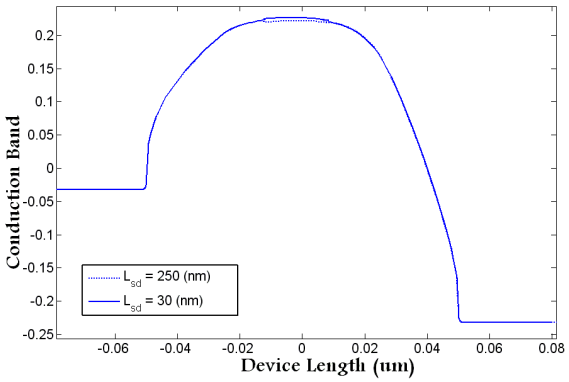
تغییر طول نواحی سورس و درین ممکن است بر جریان ترانزیستور تاثیر بگذارد. برای بررسی این پدیده در شکل ۹ مشخصه ولتاژ–جریان افزاره برحسب L_S/L_D نشان داده شده است. نتایج شبیه‌ســازی تنهـا برای طول سورس و درین‌های ۳۰ و ۲۵۰ نانومتر نشـان داده شده است. از این شکل مشاهده می‌شود تغییرات



شکل ۸. تاثیر طول سورس/درین بر C_{Geff} (T_{Body}=10 nm , T_{ox}=3 nm).



شکل ۹. تاثیر طول سورس/درین بر مشخصه ولتاژ– جریان افزاره.



شکل ۱۰. تغییرات جزیی ارتفاع سد پتانسیل با تغییر طول نواحی سورس و درین.

مشخصه $I_D(V_{GS})$ بسیار کوچک و قابل صرفنظر کردن می‌باشد. نوار هدایت رسم شده در شکل ۱۰ نیز این مطلب را تایید می‌کند. چنانکه از این شکل استنباط می‌شود کاهش L_S/L_D بر ارتفاع سد پتانسیل تاثیر چندانی ندارد.

٤. نتیجه گیری

در این مقاله تاثیر تغییر پارامترهای ساخت را بر افزاره DG-SOI MOSFET در ناحیه زیرآستانه بررسی کرده‌ایم. نشان داده‌ایم که اگرچه کاهش طول سورس/ درین، تاثیر چندان مهمی بر ارتفاع سد پتانسیل و جریان افزاره ندارد، لیکن تاثیر قابل ملاحظه ای بر خازنهای لبه ای دارد. کاهش ضخامت بدنه منجربه افزایش C_{Geff} و کاهش جریان افزاره می‌شود. همچنین نشان داده‌ایم که با کاهش T_{ox}، مقدار C_{Geff} افزایش و جریان افزاره کاهش می‌یابد در حالیکه نسبت I_{ON}/I_{OFF} افزایش یافته است.

از نتایج این مطالعات می توان در طراحی بهینه ترانزیستور DG-SOI MOSFET برای کاربردهای توان پایین استفاده نمود.

منابع

[1] Kim, J. and Roy, K., “Double Gate-MOSFET Subthre-shold Circuit for ultralow Power Applications,” IEEE Trans. Electron Devices, vol. 51, NO. 9, Sep. 2004, pp. 1468-1474.

[2] Paul, B. C.; Raychowdhury, A. and Roy , K., “Und-erlap DGMOS for Digital-Subthreshold Opera-tion,” IEEE Trans. Electron Devices, vol. 53, No. 4, April 2006, pp.910-913.

[3] Jung, H. K. and Dimitrijev, S., “Analysis of Subthre-shold Carrier Transport for Ultimate DGMO-SFET,” IEEE Trans. Electron Devices, vol. 53, NO. 4, April 2006, pp. 685-690.

[4] Dessis: Comprehensive Semiconductor Device Simulator, Zurich, Switzerland: Integrated Sys-tems Engineering AG., Available: http://www.ise.-com.

[5] Shimada, H.; Hirano, Y.; Ushiki, T.; Ino K. and Ohmi, T.,“Tantalum – Gate Thin-Film SOI nMOS and pMOS for Low-Power Applications,” IEEE Trans. Electron Devices, vol. 44, NO.11, 1997, pp.1903-1907.

[6] Taur, Y. and Ning, T. H.,“Fundamentals of Modern VLSI Devices”, Cambridge University Press, New York, 1998.

[7] Bansal, B. C. Paul, K. Roy, “Modeling and Optimization of Fringe Capacitance of Nanoscale DGMOS Devices”, IEEE Trans. Electron Devices, vol. 52, NO.2, Feb 2005, pp.256-262.